

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2016-512347

(P2016-512347A)

(43) 公表日 平成28年4月25日 (2016. 4. 25)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/33 (2006.01)	G09F 9/33	5C094
G09F 9/302 (2006.01)	G09F 9/302 C	5F142
H01L 33/62 (2010.01)	H01L 33/00 440	
H01L 33/00 (2010.01)	H01L 33/00 L	

審査請求 有 予備審査請求 未請求 (全 45 頁)

(21) 出願番号	特願2016-500743 (P2016-500743)	(71) 出願人	514123347 ルクスビュー テクノロジー コーポレイ ション アメリカ合衆国 カリフォルニア州 95 054 サンタ クララ ワイヤット ド ライブ 1705
(86) (22) 出願日	平成26年3月6日 (2014. 3. 6)	(74) 代理人	100086771 弁理士 西島 孝喜
(85) 翻訳文提出日	平成27年11月13日 (2015. 11. 13)	(74) 代理人	100088694 弁理士 弟子丸 健
(86) 国際出願番号	PCT/US2014/021259	(74) 代理人	100094569 弁理士 田中 伸一郎
(87) 国際公開番号	W02014/149864	(74) 代理人	100067013 弁理士 大塚 文昭
(87) 国際公開日	平成26年9月25日 (2014. 9. 25)		
(31) 優先権主張番号	13/842, 879		
(32) 優先日	平成25年3月15日 (2013. 3. 15)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	13/842, 925		
(32) 優先日	平成25年3月15日 (2013. 3. 15)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 冗長性スキームを備えた発光ダイオードディスプレイ、及び統合欠陥検出検査を備えた発光ダイオードディスプレイを製造する方法

(57) 【要約】

ディスプレイパネル及び製造の方法を記述する。一実施形態において、ディスプレイ基板は、画素エリア及び非画素エリアを含む。サブ画素のアレイ及び対応する下部電極のアレイは、画素エリア内にある。マイクロLEDデバイスのアレイは、下部電極のアレイに接合される。1つ以上の上部電極層は、マイクロLEDデバイスのアレイに電氣的に接触して形成される。一実施形態において、マイクロLEDデバイスの冗長ペアは、下部電極のアレイに接合される。一実施形態において、マイクロLEDデバイスのアレイは、不規則部分を検出するために撮像される。

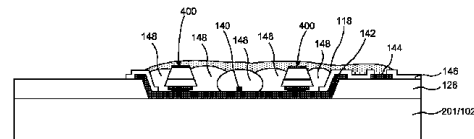


FIG. 12

【特許請求の範囲】**【請求項 1】**

冗長性スキームを備えたディスプレイパネルであって、
画素エリア及び非画素エリアを含むディスプレイ基板であって、前記画素エリアはサブ画素のアレイ及び前記サブ画素のアレイ内の対応する下部電極のアレイを含む、ディスプレイ基板と、
前記下部電極のアレイに接合されるマイクロLEDデバイスのペアのアレイと、
前記マイクロLEDデバイスのペアのアレイに電氣的に接触した1つ以上の上部電極層と、
を備えることを特徴とする、冗長性スキームを備えたディスプレイパネル。

10

【請求項 2】

各マイクロLEDデバイス半導体材料により形成されることを特徴とする、請求項 1 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 3】

各マイクロLEDデバイスは最大幅 $1 \sim 100 \mu\text{m}$ であることを特徴とする、請求項 2 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 4】

前記ディスプレイ基板は薄膜トランジスタ基板であることを特徴とする、請求項 2 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 5】

薄膜トランジスタ基板の非画素エリア内に接地ラインを更に備え、前記 1 つ以上の上部電極層は接地ラインに電氣的に接続されることを特徴とする、請求項 4 に記載の冗長性スキームを備えたディスプレイパネル。

20

【請求項 6】

前記 1 つ以上の上部電極層は、マイクロLEDデバイスのペアのうち第 1 のマイクロLEDデバイスを前記接地ラインに電氣的に接続する第 1 の上部電極層と、前記マイクロLEDデバイスのペアのうち第 2 のマイクロLEDデバイスを前記接地ラインに電氣的に接続する別個の第 2 の上部電極層と、を含むことを特徴とする、請求項 5 に記載の冗長性スキームを備えたディスプレイ。

【請求項 7】

前記ディスプレイ基板に接合されたマイクロコントローラチップのアレイを更に備え、各下部電極はマイクロコントローラチップに電氣的に接続されることを特徴とする、請求項 2 に記載の冗長性スキームを備えたディスプレイパネル。

30

【請求項 8】

各マイクロコントローラチップは、スキャン駆動回路及びデータ駆動回路に接続されることを特徴とする、請求項 7 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 9】

前記ディスプレイ基板の前記非画素エリア内に接地ラインを更に備え、前記 1 つ以上の上部電極層は前記接地ラインに電氣的に接続されることを特徴とする、請求項 8 に記載の冗長性スキームを備えたディスプレイパネル。

40

【請求項 10】

前記 1 つ以上の上部電極層は、マイクロLEDデバイスのペアのうち第 1 のマイクロLEDデバイスを前記接地ラインに電氣的に接続する第 1 の上部電極層と、前記マイクロLEDデバイスのペアのうち第 2 のマイクロLEDデバイスを前記接地ラインに電氣的に接続する別個の第 2 の上部電極層と、を含むことを特徴とする、請求項 9 に記載の冗長性スキームを備えたディスプレイ。

【請求項 11】

前記マイクロLEDデバイスのペアのアレイ内の複数のマイクロLEDデバイスの不規則部分であって、前記不規則部分は、欠落したマイクロLEDデバイスと、欠陥のあるマイクロLEDデバイスと、汚損されたマイクロLEDデバイスと、から成る集合より選択

50

される、不規則部分と、

前記複数の不規則部分を覆うパッシベーション層材料と、

を更に備えることを特徴とする、請求項 2 に記載の冗長性スキームを備えたディスプレイ。

【請求項 1 2】

前記 1 つ以上の上部電極層は、前記複数の不規則部分と電氣的に接触しないことを特徴とする、請求項 1 1 に記載の冗長性スキームを備えたディスプレイ。

【請求項 1 3】

前記 1 つ以上の上部電極層は、前記複数の不規則部分の直接上部に形成されることを特徴とする、請求項 1 3 に記載の冗長性スキームを備えたディスプレイ。

10

【請求項 1 4】

前記 1 つ以上の上部電極層は、前記複数の不規則部分の直接上部に形成されないことを特徴とする、請求項 1 3 に記載の冗長性スキームを備えたディスプレイ。

【請求項 1 5】

前記複数のマイクロ LED デバイスの不規則部分は、欠落したマイクロ LED デバイスであることを特徴とする、請求項 1 2 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 1 6】

前記複数の欠落したマイクロ LED デバイスに対応する前記下部電極のアレイ上の接合層のアレイを更に備え、前記パッシベーション層材料は前記接合層のアレイを覆うことを特徴とする、請求項 1 5 に記載の冗長性スキームを備えたディスプレイパネル。

20

【請求項 1 7】

前記複数のマイクロ LED デバイスの不規則部分は、欠陥のあるマイクロ LED デバイスであり、前記パッシベーション層材料は、前記欠陥のあるマイクロ LED デバイスを覆うことを特徴とする、請求項 1 2 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 1 8】

前記複数のマイクロ LED デバイスの不規則部分は、汚損されたマイクロ LED デバイスであり、前記パッシベーション層材料は、前記汚損されたマイクロ LED デバイスを覆うことを特徴とする、請求項 1 2 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 1 9】

前記パッシベーション層材料は、前記マイクロ LED デバイスのペアのアレイの側壁を覆うことを特徴とする、請求項 1 1 に記載の冗長性スキームを備えたディスプレイパネル。

30

【請求項 2 0】

前記マイクロ LED デバイスの不規則部分のうちの 1 つを含む前記下部電極の 1 つに接合される修復マイクロ LED デバイスを更に備えることを特徴とする、請求項 1 1 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 2 1】

ディスプレイパネルを形成する方法であって、

マイクロ LED デバイスのアレイを 1 つ以上のキャリア基板からディスプレイ基板上的に対応するサブ画素のアレイ内の対応する下部電極のアレイまで、静電転写することと、

40

前記マイクロ LED デバイスのアレイ内の不規則部分を検出するために、前記ディスプレイ基板の表面を撮像することと、

前記複数の不規則部分を電氣的に絶縁するために、複数の不規則部分の上部にパッシベーション層材を形成することと、

を含むことを特徴とする、ディスプレイパネルを形成する方法。

【請求項 2 2】

前記複数の不規則部分に電氣的に接触せずに、前記マイクロ LED デバイスのアレイに電氣的に接触するように 1 つ以上の上部電極層を形成すること、を更に含むことを特徴とする、請求項 2 1 に記載のディスプレイパネルを形成する方法。

50

【請求項 23】

前記ディスプレイ基板の前記表面を撮像することは、カメラで前記表面を撮像することを含むことを特徴とする、請求項 21 に記載のディスプレイパネルを形成する方法。

【請求項 24】

前記カメラから製造された画像は、欠落したマイクロ LED デバイス及び汚損されたマイクロ LED デバイスから成る集合から選択された前記マイクロ LED デバイスのアレイ内の不規則部分を検出するために使用されることを特徴とする、請求項 23 に記載のディスプレイパネルを形成する方法。

【請求項 25】

前記ディスプレイ基板の前記表面を撮像することは、

10

前記マイクロ LED デバイスのアレイに蛍光発光させるために、光源により前記ディスプレイ基板の前記表面を照らすことと、

前記カメラで前記マイクロ LED デバイスのアレイの前記蛍光発光を撮像することと、を含むことを特徴とする、請求項 23 に記載のディスプレイパネルを形成する方法。

【請求項 26】

前記カメラから製造された画像は、欠陥のあるマイクロ LED デバイスを検出するために使用されることを特徴とする、請求項 25 に記載のディスプレイパネルを形成する方法。

【請求項 27】

前記パッシベーション層材を前記複数の不規則部分の上部に形成する前に、前記複数の不規則部分に隣接した前記ディスプレイ基板に、複数の修復マイクロ LED デバイスを転写すること、を更に含むことを特徴とする、請求項 21 に記載のディスプレイパネルを形成する方法。

20

【請求項 28】

前記マイクロ LED デバイスのアレイ及び前記複数の修復マイクロ LED デバイ스에 電氣的に接触するように 1 つ以上の上部電極層を形成すること、を更に含み、前記 1 つ以上の上部電極層は前記複数の不規則部分に電氣的に接触しないことを特徴とする、請求項 27 に記載のディスプレイパネルを形成する方法。

【請求項 29】

前記複数の不規則部分を電氣的に絶縁するために前記複数の不規則部分の上部に前記パッシベーション層材を形成することは、インクジェット印刷又はスクリーン印刷を含むことを特徴とする、請求項 21 に記載のディスプレイパネルを形成する方法。

30

【請求項 30】

前記マイクロ LED デバイスのアレイに電氣的に接触するように前記 1 つ以上の上部電極層を形成することは、インクジェット印刷又はスクリーン印刷を含むことを特徴とする、請求項 22 に記載のディスプレイパネルを形成する方法。

【請求項 31】

前記 1 つ以上の上部電極層を形成することは、複数の別個の上部電極層を前記マイクロ LED デバイスのアレイに電氣的に接触するように形成することを含むことを特徴とする、請求項 22 に記載のディスプレイパネルを形成する方法。

40

【請求項 32】

電気経路を接地ラインまでカットオフするために前記別個の上部電極層のうちの 1 つをスクライブすることを更に含むことを特徴とする、請求項 31 に記載のディスプレイパネルを形成する方法。

【請求項 33】

前記マイクロ LED デバイスのアレイを静電転写することは、前記マイクロ LED デバイスのペアのアレイを 1 つ以上のキャリア基板から前記ディスプレイ基板上の前記対応するサブ画素のアレイ内の前記対応する下部電極のアレイまで、静電転写することを含み、前記ディスプレイ基板の前記表面を撮像することは、前記マイクロ LED デバイスのペアのアレイ内の不規則部分を検出するために、前記ディスプレイ基板の前記表面を撮像す

50

ることを含むことを特徴とする、請求項 2 1 に記載のディスプレイパネルを形成する方法。

【請求項 3 4】

前記マイクロ LED デバイスのペアのアレイに電氣的に接触するように 1 つ以上の上部電極層を形成すること、を更に含むことを特徴とする、請求項 3 3 に記載のディスプレイパネルを形成する方法。

【請求項 3 5】

前記マイクロ LED デバイスのペアのアレイを静電転写することは、
マイクロ LED デバイスの第 1 のアレイを第 1 のキャリア基板上の第 1 のエリアから前記ディスプレイ基板に静電転写することと、
マイクロ LED デバイスの第 2 のアレイを前記第 1 のキャリア基板上の第 2 のエリアから前記ディスプレイ基板に静電転写することと、
を含むことを特徴とする、請求項 3 3 に記載のディスプレイパネルを形成する方法。

【請求項 3 6】

前記第 2 のエリアが、前記第 1 のエリアと重ならないことを特徴とする、請求項 3 5 に記載の方法。

【請求項 3 7】

前記マイクロ LED デバイスのペアのアレイを静電転写することは、
マイクロ LED デバイスの第 1 のアレイを第 1 のキャリア基板から前記ディスプレイ基板に静電転写することと、
マイクロ LED デバイスの第 2 のアレイを第 2 のキャリア基板から前記ディスプレイ基板に静電転写することと、を含むことを特徴とする、請求項 3 3 に記載のディスプレイパネルを形成する方法。

【請求項 3 8】

前記マイクロ LED デバイスのペアのアレイを静電転写することは、各マイクロ LED デバイスを別個の静電転写ヘッドで静電転写することを含むことを特徴とする、請求項 3 3 に記載のディスプレイパネルを形成する方法。

【請求項 3 9】

前記ディスプレイ基板の前記表面を撮像することは、カメラで前記表面を撮像することを含むことを特徴とする、請求項 3 3 に記載の方法。

【請求項 4 0】

前記カメラから製造された画像は、欠落したマイクロ LED デバイス及び汚損されたマイクロ LED デバイスから成る集合から選択された前記マイクロ LED デバイスのペアのアレイ内の不規則部分を検出するために使用されることを特徴とする、請求項 3 9 に記載のディスプレイパネルを形成する方法。

【請求項 4 1】

前記カメラはラインスキャンカメラであることを特徴とする、請求項 3 9 に記載のディスプレイパネルを形成する方法。

【請求項 4 2】

前記ディスプレイ基板の前記表面を撮像することは、
前記マイクロ LED デバイスのアレイに蛍光発光させるために、光源により前記ディスプレイ基板の前記表面を照らすことと、
前記カメラで前記マイクロ LED デバイスのペアのアレイの前記蛍光発光を撮像することと、
を含むことを特徴とする、請求項 3 9 に記載のディスプレイパネルを形成する方法。

【請求項 4 3】

前記カメラから製造された画像は、欠陥のあるマイクロ LED デバイスを検出するために使用されることを特徴とする、請求項 4 2 に記載のディスプレイパネルを形成する方法。

【請求項 4 4】

前記マイクロＬＥＤデバイスのペアのアレイに電氣的に接触するように前記１つ以上の上部電極層を形成することは、前記マイクロＬＥＤデバイスのペアのアレイの上部に単一の上部電極層を形成することを含み、前記単一の上部電極層は、前記マイクロＬＥＤデバイスのペアのアレイ内で前記検出された不規則部分に電氣的に接触しないことを特徴とする、請求項３４に記載のディスプレイパネルを形成する方法。

【請求項４５】

前記マイクロＬＥＤデバイスのペアのアレイに電氣的に接触するように前記１つ以上の上部電極層を形成することは、前記マイクロＬＥＤデバイスのペアのアレイの上部に複数の別個の上部電極層を形成することを含み、前記複数の別個の上部電極層は上記マイクロＬＥＤデバイスのペアのアレイ内で前記検出された不規則部分に電氣的に接触しないことを特徴とする、請求項３４に記載のディスプレイパネルを形成する方法。

10

【請求項４６】

前記複数の別個の上部電極層は、前記マイクロＬＥＤデバイスのペアのアレイ内で前記検出された不規則部分の直接上部に形成されることを特徴とする、請求項４５に記載のディスプレイパネルを形成する方法。

【請求項４７】

前記複数の別個の上部電極層は、前記マイクロＬＥＤデバイスのペアのアレイ内で前記検出された不規則部分の直接上部に形成されないことを特徴とする、請求項４５に記載のディスプレイパネルを形成する方法。

【請求項４８】

前記パッシベーション層材を前記複数の不規則部分の上部に形成する前に、前記複数の不規則部分に隣接した前記ディスプレイ基板に複数の修復マイクロＬＥＤデバイスを転写すること、を更に含むことを特徴とする、請求項３３に記載のディスプレイパネルを形成する方法。

20

【請求項４９】

前記マイクロＬＥＤデバイスのペアのアレイ及び前記複数の修復マイクロＬＥＤデバイスに電氣的に接触するように１つ以上の上部電極層を形成すること、を更に含み、前記１つ以上の上部電極層は前記複数の不規則部分に電氣的に接触しないことを特徴とする、請求項４８に記載のディスプレイパネルを形成する方法。

【発明の詳細な説明】

30

【背景技術】

【０００１】

（分野）

【０００２】

本発明の実施形態は、ディスプレイシステムに関する。より詳しくは、本発明の実施形態は、マイクロ発光ダイオードを組み込んだディスプレイシステムに関する。

（背景技術）

【０００３】

フラットパネル型ディスプレイは、幅広い電子機器において普及している。一般的なフラットパネル型ディスプレイは、アクティブマトリクス型ディスプレイ及びパッシブマトリクス型ディスプレイを含む。アクティブマトリクス型ディスプレイパネルにおける各画素は、アクティブ駆動回路により駆動される一方、パッシブマトリクス型ディスプレイパネルにおける各画素は、かかる駆動回路を使用しない。最新のコンピュータディスプレイ、スマートフォン、及びテレビ等、高解像度カラーディスプレイパネルは、典型的に、より優れた画質のためにアクティブマトリクス型ディスプレイパネル構造を用いる。

40

【０００４】

商業用途におけるディスプレイパネルの一種として、アクティブマトリクス型有機発光ダイオード（ＡＭＯＬＥＤ）ディスプレイパネルがある。図１は、トップエミッション型ＡＭＯＬＥＤディスプレイパネルの上面視の図である。図２は、図１の画素エリア１０４内のＸ－Ｘ線及び、基板１０２上の画素エリア１０４外のいかなるエリアである非画素エ

50

リア内の接地リング 116 を横切る Y - Y 線による、側断面視の図である。図 1 及び図 2 に示す AMOLED ディスプレイパネル 100 は、一般に、画素エリア 104 と画素エリア 102 の外にある非画素エリアとを支持する、薄膜トランジスタ (TFT) 基板 102 を含む。TFT 基板 102 は、バックプレーンとも呼ばれる。画素エリア及び非画素エリアを付加的に含むように更に処理された TFT 基板は、バックプレーンと呼ばれることもよくある。AMOLED で用いられる 2 つの主要な TFT 基板技術は、多結晶シリコン (poly-Si) 及びアモルファスシリコン (a-Si) を含む。これらの技術は、フレキシブル AMOLED ディスプレイを製造するためのフレキシブルプラスチック基板上に低温度 (200 未満) で直接アクティブマトリクスバックプレーンを製造する可能性を提供する。画素エリア 104 は、一般に、マトリクス状に配置された画素 106 及びサブ画素 108 並びにサブ画素を駆動及び切り替えるために各サブ画素に接続された TFT 及びキャパシタのセットを含む。非画素エリアは、一般に、データ信号 (Vdata) をサブ画素に送信可能にするために各サブ画素のデータラインに接続されるデータ駆動回路 110、スキャン信号 (Vscan) をサブ画素に送信可能にするためにサブ画素のスキャンラインに接続されるスキャン駆動回路 112、電源信号 (Vdd) を TFT に送信するための電源供給ライン 114、及び接地信号 (Vss) をサブ画素のアレイに送信するための接地リング 116 を含む。示されるように、データ駆動回路、スキャン駆動回路、電源供給ライン、及び接地リングはすべて、フレキシブル回路基板 (FCB) 113 に接続されており、フレキシブル回路基板は電源供給ライン 114 に電力を供給するための電源、及び接地リング 116 に電氣的に接続された電源接地ラインを含む。

10

20

【0005】

例示的な AMOLED バックプレーン構成において、有機薄膜 120 及び上部電極 118 が画素エリア 104 内のあらゆるサブ画素 108 の上部に配置される。有機薄膜 120 は、正孔注入層、正孔輸送層、発光層、電子輸送層、及び電子注入層等、複数層を含んでよい。有機薄膜 120 の複数層は、典型的に、画素エリア 104 上全体にわたって形成されるが、発光層は多くの場合、シャドウマスクの補助により、サブ画素開口 127 内及びサブ画素 108 のアレイの発光エリアに対応する下部電極層 124 上にのみ配置される。次に上部電極層 118 は、接地信号をサブ画素のアレイに送信するために、上部電極 118 層が接地リング 116 に重なるように、画素エリア 104 内及び非画素エリア内の有機薄膜の上部に配置される。このように、サブ画素 108 はそれぞれ対応する下層の TFT 回路で個別に処理され得る一方、均一な接地信号が画素エリア 104 の上部に供給される。

30

【0006】

例示される特定の実装において、TFT 基板 102 は、データ駆動回路 110 からのデータライン 111 に接続されるスイッチングトランジスタ T1、及び電源供給ライン 114 に接続される電力ライン 115 に接続される駆動トランジスタ T2 を含む。スイッチングトランジスタ T1 のゲートはまた、スキャン駆動回路 112 からのスキャンライン (図示せず) に接続され得る。平坦化層 122 は TFT 基板の上部に形成され、開口が TFT 作業回路を露出させるように形成される。例示されるように、下部電極層 124 は、TFT 回路と電氣的に接続されるように平坦化層上に形成される。電極層の形成に続いて、画素定義層 125 が、サブ画素 108 のアレイの発光エリアに対応するサブ画素開口 127 のアレイを含んで形成され、それに続き、パターン化された画素定義層の上部に及びパターン化された画素定義層 125 のサブ画素開口 127 内に、有機層 120 及び上部電極層 118 が成膜される。上部電極層 118 は、追加的に、非画素エリア内に接地リング 116 に電氣的に接続して形成される。

40

【0007】

平坦化層 122 は、段差により有機層 120 及び下部電極層 124 が短絡するのを防ぐ (又は保護する) よう機能し得る。例示的な平坦化層 122 の材料は、ベンゾシクロブテン (BCB) 及びアクリルを含む。画素定義層 125 は、ポリイミドなどの材料により形成され得る。下部電極 124 は、一般に、インジウムスズ酸化物 (ITO)、ITO/A

50

g、ITO/Ag/ITO、ITO/Ag/インジウム亜鉛酸化物(IZO)、又はITO/Ag合金/ITO上に形成される。上部電極層118は、トップエミッション用ITO等の透明材料で形成される。

【0008】

AMOLEDディスプレイパネルは、通常、液晶ディスプレイ(LCD)パネルより少ない電力を消費するが、AMOLEDディスプレイパネルは依然として、バッテリー駆動デバイスにおいて電力を消費する主要なものである。バッテリーの寿命を延ばすために、ディスプレイパネルの電力消費量を減らすことが必要である。

【発明の概要】

【0009】

10

冗長性スキームを備えたディスプレイパネル及び製造の方法を記述する。一実施形態において、ディスプレイパネルは、画素エリア及び非画素エリアを備えたディスプレイ基板を含む。画素エリアは、サブ画素のアレイ、及びサブ画素のアレイ内の対応する下部電極のアレイを含む。マイクロLEDデバイスのペアのアレイは、下部電極のアレイに接合され、1つ以上の上部電極はマイクロLEDデバイスのペアのアレイに電氣的に接触して形成される。マイクロLEDデバイスは、半導体材料で形成されてもよく、最大幅1~100µmであってよい。

【0010】

ある用途例においては、ディスプレイ基板はTFT基板であってもよい。接地ラインは、TFT基板の非画素エリアに形成されてもよく、上部電極層のうち1つ以上は、接地ラインに電氣的に接続されてもよい。一実施形態において、第1から電極層までは、マイクロLEDデバイスのペアの第1のマイクロLEDデバイスを接地ラインに電氣的に接続し、別個の第2の上部電極層は、マイクロLEDデバイスのペアの第2のマイクロLEDデバイスを接地ラインに電氣的に接続する。

20

【0011】

ある用途例においては、マイクロコントローラチップのアレイは、ディスプレイ基板に接合され、各下部電極は、マイクロコントローラチップに電氣的に接続される。各マイクロコントローラチップは、スキャン駆動回路及びデータ駆動回路に接続され得る。接地ラインは、ディスプレイ基板の非画素エリア内に走ってもよく、上部電極層のうち1つ以上は、接地ラインに電氣的に接続されてもよい。一実施形態において、第1の上部電極層は、マイクロLEDデバイスのペアの第1のマイクロLEDデバイスを接地ラインに電氣的に接続し、別個の第2の上部電極層は、マイクロLEDデバイスのペアの第2のマイクロLEDデバイスを接地ラインに電氣的に接続する。

30

【0012】

一実施形態において、複数のマイクロLEDデバイスの不規則部分は、マイクロLEDデバイスのペアのアレイ内にある。例えば、不規則部分は、欠落したマイクロLEDデバイス、欠陥のあるマイクロLEDデバイス、及び汚損されたマイクロLEDデバイスであり得る。パッシベーション層材は、複数の不規則部分を保護するために使用し、複数の不規則部分を電氣的に絶縁するために使用されてもよい。パッシベーション層材はまた、マイクロLEDデバイスのペアのアレイの側壁(例えば、量子井戸構造を含む)を保護するのに使用されてもよい。一実施形態においては、1つ以上の上部電極層が複数の不規則部分の直接上部に形成された場合であっても、1つ以上の上部電極層は、複数の不規則部分と電氣的に接触しない。1つ以上の上部電極層はまた、他のどこかに形成されてもよく、又は複数の不規則部分の直接上部に形成されないように、複数の不規則部分の周りに形成されてもよい。一実施形態において、修復マイクロLEDデバイスは、マイクロLEDデバイスの不規則部分の1つを含む下部電極の1つに接合される。

40

【0013】

一実施形態では、ディスプレイパネルを形成する方法は、マイクロLEDデバイスのアレイにおける不規則部分を検出するための統合検査を含む。マイクロLEDデバイスのアレイは、1つ以上のキャリア基板からディスプレイ基板上の対応するサブ画素のアレイ内

50

の対応する下部電極のアレイまで、静電転写され得る。そして、ディスプレイ基板の表面は、マイクロLEDデバイスのアレイにおける不規則部分を検出するために撮像され、次にパッシベーション層材は複数の不規則部分を電氣的に絶縁するために、検出された複数の不規則部分の上部に形成される。そして、1つ以上の上部電極層は、複数の不規則部分と電氣的に接触せずに、マイクロLEDデバイスのアレイに電氣的に接触して形成され得る。いくつかの実施形態では、パッシベーション層材は、インクジェット印刷又はスクリーン印刷により複数の不規則部分の上部に形成され、1つ以上の上部電極層はインクジェット印刷又はスクリーン印刷により形成される。一実施形態では、1つ以上の上部電極層は、別個の上部電極層である。別の実施形態では、別個の上部電極層のうちの1つは、電気経路を接地ラインまでカットオフするようにスクライブされる。

10

【0014】

ディスプレイ基板の表面の撮像は、カメラにより行われる。一実施形態では、カメラから製造された画像は、欠落したマイクロLEDデバイス又は汚損されたマイクロLEDデバイス等の不規則部分を検出するために使用される。一実施形態では、撮像は、マイクロLEDデバイスのアレイに蛍光発光させるために、光源によりディスプレイ基板の表面を照らすことと、カメラによりマイクロLEDデバイスのアレイの蛍光を撮像することを含む。カメラが蛍光を撮像することにより製造された画像は、欠陥のあるマイクロLEDデバイスを検出するのに使用され得る。

【0015】

一実施形態では、複数の修復マイクロLEDデバイスは、パッシベーション層材を複数の不規則部分の上部に形成する前に、複数の不規則部分に隣接した（例えば、同じ下部電極上に）ディスプレイ基板に転写され得る。この後、複数の不規則部分に電氣的に接触せずに、マイクロLEDデバイスのアレイ及び複数の修復マイクロLEDデバイスに電氣的に接触するように1つ以上の上部電極層を形成することが続き得る。

20

【0016】

一実施形態では、冗長性スキームを備えたディスプレイパネルを形成する方法は、マイクロLEDデバイスのペアのアレイを1つ以上のキャリア基板からディスプレイ基板上の対応するサブ画素のアレイ内の対応する下部電極のアレイまで、静電転写することを含む。ディスプレイ基板の表面は、その後、マイクロLEDデバイスのペアのアレイ内の不規則部分を検出するために撮像される。パッシベーション層材は、次に、複数の不規則部分を電氣的に絶縁するために、検出された複数の不規則部分の上部に形成されてもよい。1つ以上の上部電極層は、次に、マイクロLEDデバイスのペアのアレイに電氣的に接触して形成される。

30

【0017】

静電転写のある方法は、マイクロLEDデバイスの第1のアレイを第1のキャリア基板の第1のエリアからディスプレイ基板に静電転写し、マイクロLEDデバイスの第2のアレイを第1のキャリア基板の第2のエリアからディスプレイ基板に静電転写することを含む。例えば、第1及び第2のエリアは、一実施形態では、相関する欠陥が同じサブ画素に転写される可能性を減じるために、重なり合わない。静電転写の別の方法は、マイクロLEDデバイスの第1及び第2のアレイを異なるキャリア基板から静電転写することを含む。本発明の実施形態によると、静電転写は、別個の静電転写ヘッドを備えた各マイクロLEDデバイスを静電転写することを含み得る。

40

【0018】

一実施形態では、ディスプレイ表面の表面を撮像することは、カメラで撮像することを含む。例えば、ラインスキャンカメラを使用してもよい。一実施形態では、カメラから製造された画像は、欠落したマイクロLEDデバイス又は汚損されたマイクロLEDデバイス等の、マイクロLEDデバイスのペアのアレイ内の不規則部分を検出するために使用される。一実施形態では、ディスプレイ基板の表面を撮像することは、マイクロLEDデバイスのアレイに蛍光発光させるために、光源によりディスプレイ基板の表面を照らすことと、欠陥のあるマイクロLEDデバイスを検出するためカメラによりマイクロLEDデバ

50

イスのアレイの蛍光を撮像することを更に含む。

【0019】

一実施形態では、単一の上部電極層は、不規則部分を含む、マイクロLEDデバイスのペアのアレイの上部に形成される。パッシベーション層材は、上部電極層が不規則部分と電氣的に接触しないように、不規則部分を覆ってもよい。

【0020】

一実施形態において、複数の別個の上部電極層は、マイクロLEDデバイスのペアのアレイの上部に形成される。パッシベーション層材は、不規則部分の直接上部に形成される時に、不規則部分を上部接触層から電氣的に絶縁するために使用され得る。上部接触層はまた、不規則部分の直接上部に位置しないように、不規則部分の周囲に形成されてもよい。インクジェット印刷及びスクリーン印刷は、上部電極層だけでなくパッシベーション層材もまた形成するために適した成膜法であり得る。一実施形態では、複数の修復マイクロLEDデバイスは、パッシベーション層材を複数の不規則部分の上部に形成する前に、複数の不規則部分に隣接したディスプレイ基板に転写される。上部電極層はまた、修復マイクロLEDデバイス上及びそれに電氣的に接触して形成され得る。

【図面の簡単な説明】

【0021】

【図1】 トップエミッション型AMOLEDディスプレイパネルの上面視の図である。

【図2】 図1のトップエミッション型AMOLEDディスプレイパネルのX-X線及びY-Y線による、側面視の図である。

【図3A】 本発明の一実施形態に係るアクティブマトリクス型ディスプレイパネルの上面視の図である。

【図3B】 本発明の一実施形態に係る、図3Aのアクティブマトリクス型ディスプレイパネルのX-X線及びY-Y線による、側面視の図である。

【図3C】 本発明の一実施形態に係る、接地タイライン及び接地リングがパターン化されたバンク層内に形成された、図3Aのアクティブマトリクス型ディスプレイパネルのX-X線及びY-Y線による、側面視の図である。

【図3D】 本発明の一実施形態に係る、接地タイライン及び接地リングがパターン化されたバンク層下に形成された、図3Aのアクティブマトリクス型ディスプレイパネルのX-X線及びY-Y線による、側面視の図である。

【図4A】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図4B】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図4C】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図4D】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図4E】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図4F】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図4G】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図4H】 本発明の一実施形態に係る、TFT基板にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。

【図5A】 本発明の一実施形態に係る、異なる色で発光するマイクロLEDデバイスのアレイを転写する一連のための上面視の図である。

【図5B】 本発明の一実施形態に係る、異なる色で発光するマイクロLEDデバイスのアレイを転写する一連のための上面視の図である。

【図５Ｃ】本発明の一実施形態に係る、異なる色で発光するマイクロＬＥＤデバイスのアレイを転写する一連のための上面視の図である。

【図５Ｄ】本発明の一実施形態に係る、異なる色で発光するマイクロＬＥＤデバイスのアレイを転写する一連のための上面視の図である。

【図５Ｅ】本発明の一実施形態に係る、異なる色で発光するマイクロＬＥＤデバイスのアレイを転写する一連のための上面視の図である。

【図５Ｆ】本発明の一実施形態に係る、異なる色で発光するマイクロＬＥＤデバイスのアレイを転写する一連のための上面視の図である。

【図６Ａ】一実施形態に係る、上部電極層の形成後のアクティブマトリクス型ディスプレイパネルの上面視の図である。

【図６Ｂ】一実施形態に係る、別個の上部電極層の形成後のアクティブマトリクス型ディスプレイパネルの上面視の図である。

【図６Ｃ】本発明の一実施形態に係る、図６Ａ又は図６Ｂのいずれかのアクティブマトリクス型ディスプレイパネルのＸ－Ｘ線及びＹ－Ｙ線による、側面視の図である。

【図６Ｄ】本発明の一実施形態に係る、図６Ａ又は図６Ｂのいずれかのアクティブマトリクス型ディスプレイパネルのＸ－Ｘ線及びＹ－Ｙ線による、側面視の図である。

【図７】本発明の一実施形態に係る冗長性及び修復部位構成を含むスマート画素ディスプレイの上面視の概略図である。

【図８Ａ】本発明の一実施形態に係る、光源及びカメラを含む検査装置の側面視の概略図である。

【図８Ｂ】本発明の一実施形態に係る、スキャンパターンの上面視の概略図である。

【図９】本発明の一実施形態に係る、欠陥のあるマイクロＬＥＤデバイスを検出後に形成され得る例示的な構造の側断面視の図である。

【図１０】本発明の一実施形態に係る、欠落したマイクロＬＥＤデバイスを検出後に形成され得る例示的な構造の側断面視の図である。

【図１１】本発明の一実施形態に係る、欠陥のあるマイクロＬＥＤデバイスを検出後に形成され得る例示的な構造の側断面視の図である。

【図１２】本発明の一実施形態に係る、欠落したマイクロＬＥＤデバイスを検出後に形成され得る例示的な構造の側断面視の図である。

【図１３】本発明の一実施形態に係る、様々な構成を含むマイクロＬＥＤデバイスのアレイの上部に形成された上部電極層の上面視の概略図である。

【図１４】本発明の一実施形態に係る、様々な構成を含むマイクロＬＥＤデバイスのアレイの上部に形成された複数の別個の上部電極層の上面視の概略図である。

【図１５】本発明の一実施形態に係る、様々な構成を含むマイクロＬＥＤデバイスのアレイの上部に形成された複数の別個の上部電極層の上面視の概略図である。

【図１６】本発明の一実施形態に係る、スクライブされた上部電極層の上面視の概略図である。

【図１７】本発明の一実施形態に係る、スクライブされた下部電極層の上面視の概略図である。

【図１８】本発明の一実施形態に係る、ディスプレイシステムの概略図である。

【発明を実施するための形態】

【００２２】

本発明の実施形態は、ディスプレイシステムに関する。より詳しくは、本発明の実施形態は発光ダイオードの冗長性スキームを備えたディスプレイに関する。

【００２３】

ある態様において、本発明の実施形態は、ウェハベースの発光マイクロＬＥＤデバイスを含む、アクティブマトリクス型ディスプレイパネルについて記述する。マイクロＬＥＤデバイスは、ＡＭＯＬＥＤバックプレーンを形成するのに使用される薄膜エレクトロニクスの高歩留まりで低価格の混合材料により、ウェハベースのＬＥＤデバイスの性能、効率、信頼性を組み合わせる。本明細書内で使用される「マイクロ」デバイス又は「マイクロ

10

20

30

40

50

」LED構造という言葉は、本発明の実施形態に係る特定のデバイス又は構造体の記述の大きさを指す場合がある。本明細書内で使用される時、「マイクロ」デバイス又は構造体という言葉は、 $1 \sim 100 \mu\text{m}$ の尺度を指すことが意図されている。しかし、本発明の実施形態は必ずしもこれに限定されず、これら実施形態の特定の態様はより大きな尺度、又は場合によってはより小さな尺度に適用できる場合があることを理解すべきである。一実施形態において、ディスプレイパネルは、マイクロLEDデバイスが各サブ画素内のOLEDディスプレイパネルの有機層を交換した、典型的なOLEDディスプレイパネルに類似する。本発明のいくつかの実施形態で利用され得る例示的なマイクロLEDデバイスが米国特許出願番号13/372,222、米国特許出願番号13/436,260、米国特許出願番号13/458,932、米国特許出願番号13/711,554、及び米国特許出願番号13/749,647に記載され、これらはすべて本明細書に参照とすることによって組み込まれる。マイクロLEDデバイスは、発光において高効率であり、対角線が10インチのLCD又はOLEDディスプレイの場合5~10ワットであるのに比べ、非常に少ない電力（例えば、対角線が10インチのディスプレイの場合、250mW）を消費し、それによりディスプレイパネルの電力消費量を減少させることができる。

10

20

30

40

50

【0024】

他の態様において、本発明の実施形態は、複数の接合部位が、複数のマイクロLEDデバイスを例えば、サブ画素の各バンク開口内において、各下部電極上に接合させるのに利用可能である、冗長性スキームについて記述している。一実施形態において、冗長性スキームは、バンク開口内の下部電極上の接合部位の1つ以上の接合層（例えば、インジウム柱）を含み、各接合層は、別個のマイクロLEDデバイスを受容するように設計される。一実施形態において、冗長性スキームはまた、マイクロLEDデバイスを受容するのに十分な大きさのバンク開口内の修復接合部位を含み得る。修復接合部位はまた、任意的に、接合層を含み得る。このように、一実施形態では、各バンク開口はサブ画素の単一発光色に対応することがあり、その発光色の複数のマイクロLEDデバイスを受容する。接合層のうちの1つに接合されたマイクロLEDデバイスのうちの1つに欠陥がある場合、他のマイクロLEDデバイスが、欠陥のあるマイクロLEDデバイスを補う。また、修復接合部位は、所望により、追加のマイクロLEDデバイスに接合するのに使用され得る。このように、冗長性及び修復構成は、従来のAMOLEDディスプレイにすでに組み込まれた基本TFTアーキテクチャを変更する必要なく、ディスプレイパネル全体で均一な発光を改善可能なバックプレーン構造に統合される。

【0025】

他の側面において、本発明の実施形態は、マイクロLEDデバイスをキャリア基板からディスプレイ基板へ転写した後、欠陥のある、欠落した、又は汚損されたマイクロLEDデバイスを検出するための統合検査方法について記述する。このように、欠陥のある、欠落した、又は汚損されたマイクロLEDデバイスの検出は、代替のマイクロLEDデバイスを必要であれば潜在的に転写したり、マイクロLEDデバイス及び下部電極のパッシュベーションに関わる後続の処理を変更したり、又は上部電極層の形成に関わる後続の処理を変更したりするために使用され得る。更に、統合検査方法は、検査のためにマイクロLEDデバイスに上部電氣的コンタクトを備える必要がないように、製造プロセスに実装され得、検査は別個の電氣的検査なしに実行され得る。

【0026】

種々の実施形態において、図を参照して説明がなされている。しかし、特定の実施形態は、これらの具体的な詳細のうちの1つ以上を伴わずに、又はその他の既知の方法及び構成との組み合わせで実施することができる。以下の説明において、本発明の完全な理解を提供するために、具体的な構成、寸法、及び工程などの数多くの具体的な詳細が明らかにされる。他の例では、本発明を不必要にあいまいにしないために、半導体の周知の工程及び製造技術について特に詳細な説明を行っていない。本明細書を通じた「一実施形態」への言及は、本実施形態と関連して述べる特定の機能、構造体、構成、又は特徴が、本発明に関する少なくとも一実施形態の中に含まれることを意味する。したがって、本明細書全

体を通じて各所にある「一実施形態において」との記述は、必ずしも本発明の同一の実施形態を指すものではない。更に、特定の機構、構造体、構成、又は特性は、1つ以上の実施形態の中で任意の好適な方法で組み合わせることができる。

【0027】

本明細書で使用される用語「広がる」、「の上方に」、「への」、「間の」、及び「上に」は、他の層に対するある層の相対位置について言及する場合がある。ある層が別の層に「広がる」、「の上方に」若しくは「上に」あること、又は別の層「へと」若しくは「接触して」接合することは、別の層と直接接触する、又は1つ以上の介在層を有することが想定される。層と層「との間」の1つの層は、両方の層と直接接触している場合もあれば、1つ以上の介在層を有する場合もある。

10

【0028】

以下の記述がアクティブマトリクス型ディスプレイパネルに関して具体的にされることを理解すべきである。しかし、本実施形態は、これに限定されるものではない。特に、冗長性スキーム、修復部位、及び欠陥のある、欠落した、又は汚損されたマイクロLEDデバイスを検出するための検査方法はまたパッシブマトリクス型ディスプレイパネル、並びに、照明の目的のための基板にも実装され得る。

【0029】

次に図3A～図3Bを参照すると、AMOLEDバックプレーンと同様のバックプレーンが、有機発光層よりむしろ発光マイクロLEDデバイスを受容するように変更された、一実施形態が例示される。図3Aはある一実施形態に係るアクティブマトリクス型ディスプレイパネルの上面視の図であり、図3Bは、本発明のある実施形態に係る、図3Aのアクティブマトリクス型ディスプレイパネルのX-X線及びY-Y線による、側面視の図である。かかる実施形態において、基本TFT基板102は、作動回路（例えば、T1、T2）及び平坦化層122を含む図1～図2に関連して記述された典型的なAMOLEDバックプレーン内のものと同様であり得る。開口131は、作動回路に接触するよう平坦化層122内に形成され得る。作動回路は、切替トランジスタ、駆動トランジスタ、及び蓄積キャパシタを含む伝統的な2T1C（トランジスタ2つ、キャパシタ1つ）回路を含み得る。2T1C回路が例示的であることを意図し、他の種類の回路又は伝統的な2T1C回路の変更例が本発明の実施形態によって検討されるものと理解すべきである。例えば、より複雑な回路は、駆動トランジスタ及び発光デバイスのプロセスのばらつき、又はそれらの不安定さを補うために使用され得る。更に、本発明の実施形態はTFT基板102におけるトップゲート型トランジスタ構造に関連して記述及び例示されるが、本発明の実施形態はまた、ボトムゲート型トランジスタ構造の使用も検討する。同様に、本発明の実施形態は、トップエミッション構造に関連して記述及び例示されるが、本発明の実施形態はまた、ボトム、又はトップ及びボトムエミッション構造の使用も検討する。また、本発明の実施形態は、接地タイライン及び接地リングを含むハイサイド駆動構成に関連して、以下に具体的に記述及び例示される。ハイサイド駆動構成において、LEDは、回路が電流をLEDのp端子から押し出すように、PMOS駆動トランジスタのドレイン側又はNMOS駆動トランジスタのソース側に存在し得る。本発明の実施形態はこれに限定されるものではなく、接地タイライン及び接地リングがパネルにおける電力ラインとなり、電流がLEDのn端子を介して引き出される、ローサイド駆動構成で実施されてもよい。

20

30

40

【0030】

バンク開口148を含む、パターン化されたバンク層126は、その後平坦化層122の上部に形成される。バンク層126は、インクジェット印刷、スクリーン印刷、ラミネーション、スピンコーティング、CVD、及びPVD等の様々な技術によって形成され得る。バンク層126は、可視波長に対して、不透光性、透光性、又は半透光性を有してもよい。バンク層126は、光画定可能なアクリル、フォトレジスト、シリコン酸化物（ SiO_2 ）、シリコン窒化物（ SiN_x ）、ポリ（メチルメタクリレート）（PMMA）、ベンゾシクロブテン（BCB）、ポリイミド、アクリレート、エポキシ、及びポリエステル等であるが、それに限定されない、様々な絶縁体により形成され得る。一実施形態では、

50

バンク層は、ブラックマトリクス材等の不透明材により形成される。例示的な絶縁性ブラックマトリクス材は、有機樹脂、ガラスペースト、及び黒色顔料、ニッケル、アルミニウム、モリブデン、及びそれらの合金等の金属粒子を含む樹脂若しくはペースト、金属酸化物粒子（例えば、クロム酸化物）、又は金属窒化物粒子（例えば、クロム窒化物）を含む。

【0031】

本発明の実施形態によれば、下記の図に関連して記述されるバンク層126の厚さ及びバンク開口128の幅は、開口内に実装されるマイクロLEDデバイスの高さ、マイクロLEDデバイスを転写する転写ヘッドの高さ、及び解像度に依存し得る。一実施形態では、ディスプレイパネルの解像度、画素濃度、及びサブ画素濃度は、バンク開口128の幅を構成し得る。40 PPI（インチ毎画素）及び211 μm サブ画素ピッチの例示的な55インチテレビの場合、バンク開口128の幅は、例示的な5 μm 幅のバンク周囲構造を構成するために数ミクロンから206 μm の範囲内であり得る。440 PPI 及び19 μm サブ画素ピッチの例示的なディスプレイパネルの場合、バンク開口128の幅は、例示的な5 μm 幅のバンク周囲構造を構成するために数ミクロンから14 μm の範囲内であり得る。バンク構造の幅（例えば、バンク開口128間）は、その構造が必要とされるプロセスをサポートし、必要とされるPPIに対しスケラブルである限りにおいて、いかなる適切なサイズであってもよい。

【0032】

本発明の実施形態によれば、バンク層126の厚さは、バンク構造が機能するのに厚すぎない。厚さは、マイクロLEDデバイスの高さ及び所定の視野角により決定してもよい。例えば、バンク開口128の側壁が平坦化層122に対して角度をなす場合、浅い角度ほどシステムのより広い視野角と相関し得る。一実施形態において、バンク層126の例示的な厚さは、1 μm から50 μm の間となり得る。

【0033】

パターン化された導電層がその後、パターン化されたバンク層126の上部に形成される。図3Bに戻ると、一実施形態では、パターン化された導電層は、バンク開口148内に作動回路と電氣的に接触して形成された下部電極142を含む。パターン化された導電層はまた、任意的に、接地タイライン144及び/又は接地リング116を含んでもよい。本明細書内で使用されるように、接地「リング」という言葉は、円形パターン、すなわち対象物を完全に囲むパターン、である必要はない。むしろ、接地「リング」という言葉は、少なくとも部分的に画素エリアの3辺を囲むパターンを意味する。また、下記の実施形態は接地リング116に関連して記述及び例示される一方、本発明の実施形態はまた画素エリアの1辺（例えば、左、右、下、上）又は2辺（左、右、下、上のうちの2つの組み合わせ）に沿って走る接地ラインでも実施され得ることを理解すべきである。したがって、以下の記述において、接地リングの参照及び例示は、システム要求が許容する接地ラインと潜在的に置き換えられ得ることを理解すべきである。

【0034】

パターン化された導電層は、数多くの導電性及び反射性の材料により形成されてもよく、かつ1層より多い層を含み得る。一実施形態において、パターン化された導電層は、アルミニウム、モリブデン、チタニウム、タングステン化チタン、銀、金、又はそれらの合金等の金属膜から成る。パターン化された導電層は、アモルファスシリコン、インジウムスズ酸化物（ITO）及びインジウム亜鉛酸化物（IZO）等の透明導電性酸化物（TCO）、カーボンナノチューブ膜、又はポリ（3、4-エチレンジオキシチオフェン）（PEDOT）、ポリアニリン、ポリアセチレン、ポリピロール、及びポリチオフェン等の透明導電性ポリマーを含み得る。一実施形態において、パターン化された導電層は、導電性材料及び反射性の導電性材料の積層から成る。一実施形態において、パターン化された導電層は、上部及び下部層並びに反射性の中間層を含む3層積層を含み、上部及び下部層のうちの一方又は両方は透明である。一実施形態において、パターン化された導電層は、導電性酸化物-反射性金属-導電性酸化物の3層の積層から成る。導電性酸化物層は、透明

であってよい。例えば、パターン化された導電層は、ITO - 銀 - ITOの積層から成ってもよい。かかる構成において、上部及び下部のITO層は、反射性金属（銀）層の拡散及び／又は酸化を防ぎ得る。一実施形態において、パターン化された導電層は、Ti - Al - Tiの積層、又はMo - Al - Mo - ITOの積層から成る。一実施形態において、パターン化された導電層は、ITO - Ti - Al - Ti - ITOの積層から成る。一実施形態において、パターン化された導電層は、1 μ m以下の厚さである。パターン化された導電層は、PVD等であるが、それに限定されない、適切な技術により積層され得る。

【0035】

下部電極142、接地タイライン144、及び接地リング116の形成に続き、その後任意的に、パターン化された導電層の側壁を覆うTFT基板102の上部に絶縁層146が形成され得る。絶縁層146は、下部電極142、接地タイライン144、及び／又は接地リング116を形成するバンク層126及び反射層を少なくとも部分的に覆ってもよい。例示の実施形態において、絶縁層146は接地リング116を完全覆っているが、これは任意選択である。

【0036】

一実施形態において、絶縁層146は、ラミネーション、スピンコーティング、CVD、及びPVD等の適切な技術によるブランケット蒸着により形成され、その後、下部電極142を露出させる開口及び接地タイライン149を露出させる開口149を形成するリソグラフィ等の適切な技術によりパターン化される。一実施形態では、リソグラフィを必要とせず、絶縁層146及び開口149を形成するのにインクジェット印刷又はスクリーン印刷が使用され得る。絶縁層146は、SiO₂、SiN_x、PMMA、BCB、ポリイミド、アクリレート、エポキシ、及びポリエステル等であるが、それに限定されない、様々な材料により形成され得る。例えば、絶縁層146は、0.5 μ mの厚さであってよい。絶縁層146が、完全なシステムの発光の抽出が著しく低下しないように、バンク開口128内の下部電極142の側壁の反射層の上部に形成され、透明又は半透明であってよい。絶縁層146の厚さはまた、光抽出効率を高めるよう、また発光デバイスのアレの反射性バンク構造への転写の間、転写ヘッドアレを干渉しないよう、制御され得る。以下の記述においてより明らかにされるように、パターン化された導電層146は任意選択であり、導電層を電氣的に分離させるための1つの方法を示す。

【0037】

図3Bに例示される実施形態において、下部電極142、接地タイライン144、及び接地リング116は、同一の導電層で形成され得る。別の実施形態において、接地タイライン144及び／又は接地リング116は、下部電極142とは異なる導電性材料により形成され得る。例えば、接地タイライン144及び接地リング116は、下部電極142より高導電性の材料により形成されてもよい。別の実施形態において、接地タイライン144及び／又は接地リング116はまた、下部電極とは異なる層内に形成され得る。図3C～図3Dは、接地タイライン144及び接地リング116が、パターン化されたバンク層126内又はその下部に形成され得る、実施形態を示す。例えば、図3Cに例示する実施形態では、開口149、130は、接地タイライン144及び接地リング116を形成する時に、パターン化されたバンク層126を通して形成され得る。図3Dに例示する実施形態において、開口149は接地タイライン144に接触するように、パターン化されたバンク層126及び平坦化層122を通して形成され得る。本実施形態において、例示された開口は、接地リングを露出させるために形成されるのではないが、他の実施形態においては、開口は接地リングを露出させるために形成され得る。図3Dに例示する実施形態において、接地リング及び接地タイライン144は、TFT基板102の作動回路を形成する間に形成されたであろう。かかる実施形態において、下部電極142を形成するために使用される導電層はまた、任意的に、開口149を通して接地タイライン144で形成されることになる上部電極層の電氣的接触を更に可能にするための、ピア開口層145を含み得る。したがって、図3A～図3Dに例示する実施形態は限定的でなく、数多くの可能性が、開口149、130だけでなく、接地タイライン144及び接地リング116の形

10

20

30

40

50

成のためにも存在する、ということを理解すべきである。

【0038】

図3A～図3Dに例示する実施形態を更に参照すると、複数の接合層140は、マイクロLEDデバイスの接合を促進するために下部電極層142上に形成されてもよい。例示される特定の実施形態において、2つの接合層140は、2つのマイクロLEDデバイスを接合するために例示される。一実施形態において、接合層140は、米国特許出願番号13/749,647に記載されるように、共晶合金接合、過渡的液相接合、又は固相拡散接合等の、接合機構を通してマイクロLEDデバイス上の（配置されることになっている）接合層で相互拡散される能力のために選択される。一実施形態において、接合層140は溶融温度が250以下である。例えば、接合層140は、スズ（232）、インジウム（156.7）、又はそれらの合金等のはんだ材料を含み得る。接合層140はまた、幅よりも高さが大きい、柱形状であってもよい。本発明のいくつかの実施形態によれば、接合層140が高ければ、マイクロLEDデバイスの転写動作の間、TFT基板を備えたマイクロLEDデバイスのアレイの平坦度等の、システム部品のレベリング、及び共晶合金接合及び過渡的液相接合の間等の接合の間、液化した接合層が表面の上部に拡散するため接合層の高さが変わることによる、マイクロLEDデバイスの高さのばらつき、において更なる自由度を提供し得る。接合層140の幅は、マイクロLEDの側壁の周囲の接合層140のウィッキング及び量子井戸構造の短絡を防ぐため、マイクロLEDの底面の幅よりも小さくてよい。

10

20

【0039】

接合層140に加えて、図3A～図3Dに例示される実施形態は、マイクロLEDデバイスを受容するのに十分な大きさの各バンク開口128内に修復接合部位401を含み得る。このように、複数の接合層140及び修復接合部位401は、各バンク開口128内に冗長性及び修復構成を作る。図3A～図3Dに例示する特定の実施形態において、修復接合部位401は、下部電極層142上の露出面として例示される。しかし、本発明の実施形態は、これに限定されるものではない。他の実施形態において、修復接合部位401はまた、既存の冗長性スキームのために記載及び例示される他の2つの接合層140と同様の接合層140を含み得る。したがって、いくつかの実施形態において、接合層140は、修復部位401だけでなく、冗長性スキームにおける意図されたすべてのマイクロLEDデバイスの部位の下部電極層142上に設けられる。

30

【0040】

例示の実施形態において、接地タイライン144の配置は、ディスプレイパネル100の画素エリア104内のバンク開口128間に走り得る。また、複数の開口149は、複数の接地タイライン144を露出させる。開口149の数は、バンク開口128の列（上から下へ）の数と1:1の相関関係を持ってよいし、持たなくてもよい。例えば、図3Aに例示する実施形態において、接地タイ開口149は、バンク開口128の各列に対して形成されるが、これは必要ではなく、接地タイ開口149の数はバンク開口128の列の数より大きくてもよいし又は小さくてもよい。同様に、接地タイライン144の数は、バンク開口の行（左から右へ）の数と1:1の相関関係を持ってよいし、持たなくてもよい。例えば、例示の実施形態において、接地タイライン144は、バンク開口128の1行置きに形成されるが、これは必要ではなく、接地タイライン144の数はバンク開口128の行の数（n）と1:1の相関関係、又は任意の1:nの相関関係を持ってよい。

40

【0041】

上記の実施形態では、接地タイライン144がディスプレイパネル100を左から右へ水平に横切って走るように記載及び例示されたが、実施形態はこれに限定されない。他の実施形態において、接地タイラインは、垂直に走ってもよく、又は格子を形成するように水平及び垂直の両方に走ってもよい。数多くのあり得る変更例は、本発明の実施形態によって構想される。図1～図2に関連して前に例示及び記載されたようなAMOLED構成の動作により、接地リング116により近い、画素エリアの縁のサブ画素からの発光と比較して、画素エリアの中心の、接地リング116から最も遠いサブ画素からの発光が薄暗

50

くなることがある。本発明の実施形態によれば、接地タイラインは、画素エリアのバンク開口128間に形成され、非ディスプレイエリアの接地リング116又は接地ラインに電氣的に接続される。このように、接地信号は、サブ画素のマトリクスにより均一に印加され得ることにより、ディスプレイパネル100にわたって、より均一な明るさがもたらされる。また、接地タイライン144を（形成されることになっている）上部電極層より優れた電気伝導率を有する材料から形成することにより、電気接地経路における接触抵抗を減らすことができる。

【0042】

図4A～図4Hは、本発明の一実施形態に係る、TFT基板102にマイクロLEDデバイスのアレイを転写する方法のための側断面視の図である。図4Aを参照すると、転写ヘッド基板300に支持される転写ヘッド302のアレイは、キャリア基板200上に支持されるマイクロLEDデバイス400のアレイの上部に位置する。ヒーター306及び熱分配板304は、任意的に、転写ヘッド基板300に付着される。ヒーター204及び熱分配板202は、任意的に、キャリア基板200に付着される。図4Bに示すように、マイクロLEDデバイス400のアレイは、転写ヘッド302のアレイに接触し、図4Cに示すように、キャリア基板200からピックアップされる。一実施形態において、マイクロLEDデバイス400のアレイは、静電的な原理に従い動作する転写ヘッド302のアレイでピックアップされる、すなわち、それらは静電転写ヘッドである。

【0043】

図4Dは、本発明の一実施形態に係る、TFT基板102の上部にマイクロLEDデバイス400を保持する転写ヘッド302の側断面視の図である。例示の実施形態において、転写ヘッド302は、転写ヘッド基板300に支持される。上述のように、ヒーター306及び熱分配板304は、任意的に、熱を転写ヘッド302に印加するために転写ヘッド基板に付着されてもよい。ヒーター152及び熱分配板150はまた、或いは代替的に、任意的に、TFT基板102及び/又は下記のマイクロLEDデバイス400上の任意選択の接合層410上の接合層140に熱を転写するのに使用され得る。

【0044】

図4Dを更に参照すると、例示のマイクロLEDデバイス400のクローズアップ図が、ある実施形態に従って示される。例示される特定のマイクロLEDデバイス400は例示であり、本発明の実施形態が限定されないことを理解すべきである。例示される特定の
実施形態において、マイクロLEDデバイス400は、マイクロp-nダイオード450及び下部導電性接触部420を含む。接合層410は、任意的に、下部導電性接触部420の下部に形成されてもよく、下部導電性接触部420は、マイクロp-nダイオード450と接合層410との間にある。一実施形態において、マイクロLEDデバイス400は、上部導電性接触部452を更に含む。一実施形態において、マイクロp-nダイオード450は、上部nドープ層414、1つ以上の量子井戸層416、及び下部pドープ層418を含んでいる。他の実施形態において、nドープ層及びpドープ層の配置が逆となり得る。マイクロp-nダイオードは、直立の側壁又はテーパ形状の側壁を有するように製造することができる。特定の実施形態において、マイクロp-nダイオード450は、外向きに（上部から底部へ）テーパ形状の側壁453を有している。特定の実施形態において、マイクロp-nダイオード450は、内向きに（上部から底部へ）テーパ形状の側壁を有している。上部及び下部導電性接触部420、452。例えば、下部導電性接触部420は、電極層、及び電極層と任意選択の接合層410との間のバリア層を含むことができる。上部及び下部導電性接触部420、452は、可視波長範囲（例えば、380nm～750nm）に対し透光性、又は不透光性であってよい。上部及び下部導電性接触部420、452は、任意的に、銀層等の反射層を含み得る。マイクロp-nダイオード及び導電性接触部は各々、上面、底面、及び側壁を有することができる。一実施形態において、マイクロp-nダイオード450の底面451は、マイクロp-nダイオードの上面よりも広く、側壁453は上部から底部へと外向きにテーパ形状である。マイクロp-nダイオード450の上面は、p-nダイオードの底面よりも広くてもよく、又はほぼ同じ

10

20

30

40

50

幅であってもよい。一実施形態において、マイクロp-nダイオード450の底面451は、下部導電性接触部420の上面よりも広い。マイクロp-nダイオードの底面はまた、下部導電性接触部420の上面とほぼ同じ幅であってもよい。一実施形態において、マイクロp-nダイオード450は、3 μ m又は5 μ mのように数ミクロンの厚さ、導電性接触部420、452は、0.1 μ m~2 μ mの厚さ、及び任意選択の接合層410は、0.1 μ m~1 μ mの厚さである。一実施形態において、各マイクロLEDデバイス400の最大幅は、1~100 μ m、例えば、30 μ m、10 μ m、又は5 μ mである。一実施形態において、各マイクロLEDデバイス400の最大幅は、ディスプレイパネルの特定の解像度及びPPIのためのバンク開口128における可能なスペースと適合しなければならない。

10

【0045】

図4Eは、本発明の実施形態に係る、TFT基板102の上部にアレイマイクロLEDデバイス400を保持する転写ヘッドのアレイの側断面視の図である。図4Eは、図4Dに例示する構造とほぼ同様であるが、主要な違いは、マイクロLEDデバイスのアレイ内の単一のマイクロLEDデバイスに対してマイクロLEDデバイスのアレイの転写が示されている点である。

【0046】

次に図4Fを参照すると、TFT基板102は、マイクロLEDデバイス400のアレイと接触している。例示の実施形態において、TFT基板102がマイクロLEDデバイス400のアレイと接触することは、接合層140が対応する各マイクロLEDデバイスに対してマイクロLEDデバイス接合層410と接触することを含む。一実施形態において、各マイクロLEDデバイス接合層410は、対応する接合層140よりも幅広である。一実施形態において、マイクロLEDデバイス400のアレイをTFT基板102に接合するために、エネルギーが静電転写ヘッドアセンブリーから及びマイクロLEDデバイス400のアレイを通して伝達される。例えば、共晶合金接合、過渡的液相接合、及び固相拡散接合等の、数種類の接合機熱を促進するために、熱エネルギーが伝達され得る。熱エネルギーの伝達はまた、静電転写ヘッドアセンブリーから圧力をかけることに付随し得る。

20

【0047】

図4Gを参照すると、一実施形態において、熱伝達は接合層140を液化する。液化した接合層140は、クッションとして作用し、接合の間、マイクロLEDデバイス400のアレイとTFT基板との間のシステムの不均一なレベリング（例えば、平面でない表面）、及びマイクロLEDデバイスの高さのバラツキを、部分的に補償し得る。過渡的液相接合の特定の実施において、液化された接合層140は、金属間化合物層を、接合層140の周囲溶融温度より高い周囲溶融温度で形成するために、マイクロLEDデバイス接合層410と相互拡散する。したがって、過渡的液相接合は、接合層の最低液体相温度以上で達成され得る。本発明のいくつかの実施形態において、マイクロLEDデバイス接合層410は、ビスマス（271.4）等の250を越える溶融温度又は金（1064）、銅（1084）、銀（962）、アルミニウム（660）、亜鉛（419.5）、ニッケル（1453）等の350を越える溶融温度の材料により形成され、TFT基板接合層140は、スズ（232）又はインジウム（156.7）等の250未満の溶融温度である。

30

40

【0048】

このように、TFT基板102を支持する基板150は、接合層140の溶融温度未満の温度まで加熱することができ、転写ヘッドのアレイを支持する基板304は、接合層410の溶融温度未満であるが接合層140の溶融温度を越える温度まで加熱される。かかる実施形態において、静電転写ヘッドアセンブリーからマイクロLEDデバイス400のアレイを通して熱を転写することは、金属間化合物として後続の等温凝固で接合層140の過渡的液体状態を形成するのに十分である。液相において、低溶融温度材料は表面の上部に拡散すると共に高溶融温度材料の固溶体に拡散又は高溶融温度材料を分解すると共に

50

金属間化合物として固体化される。特定の実施形態において、転写ヘッドのアレイを支持する基板 304 は 180 で保持され、接合層 410 は金により形成され、接合層 140 はインジウムにより形成される。

【0049】

マイクロLEDデバイス400のアレイをTFT基板に接合するためにエネルギーを伝達すること続き、マイクロLEDデバイス400のアレイは収容基板上にリリースされ、静電転写ヘッドのアレイは、図4Hに示すように、離される。マイクロLEDデバイス400をリリースするのは、静電圧源をオフにする、静電転写ヘッド電極に印加される電圧を下げる、交流電圧の波形を変える、及び電圧源を接地することを含む、様々な方法で達成され得る。

【0050】

次に図5A～図5Fを参照すると、マイクロLEDデバイス400のアレイの異なる色の発光での一連の転写は、本発明の実施形態によって例示される。図5Aに例示する特定の構成において、第1の転写手順は、赤色発光マイクロLEDデバイス400Rのアレイを第1のキャリア基板からTFT基板102へ転写するために完了している。例えば、マイクロLEDデバイス400Rが赤色光（例えば、波長が620～750nm）を発光するように設計される場合、マイクロp-nダイオード450は、ひ化アルミニウムガリウム（AlGaAs）、ひ化リン化ガリウム（GaAsP）、リン化インジウムアルミニウムガリウム（AlGaInP）、リン化ガリウム（GaP）等の材料を含み得る。図5Bを参照すると、第2の転写手順は、赤色発光マイクロLEDデバイス400Rの冗長アレイを転写するために完了している。例えば、冗長アレイは、異なるキャリア基板から、すなわち、第1のキャリア基板の異なるエリア（例えば、対向する側から、異なるエリアは重ならず、又は無作為抽出）から、第2のアレイが第1のキャリア基板の同じ相関のある欠陥エリア又は汚損エリア（例えば、粒状物）から転写する可能性を減じるために、転写され得る。このように、2つの相関のないエリアから転写することにより、欠陥のある2つのマイクロLEDデバイス400を同じバンク構造128に転写する可能性を減じることが可能であり、又は代替的に、マイクロLEDデバイス400を単一のバンク構造128へ転写しないことにより、キャリア基板の欠陥のある又は汚損されたエリア内のマイクロLEDデバイスをピックアップすることは不可能であったためである。更に別の実施形態において、2つの異なるウェハからの冗長アレイを使用することにより、両色の混合を取得し、ディスプレイの平均電力消費量を異なるウェハにおけるマイクロLEDデバイスの主要な発光波長の既存の知識に基づいて調整することが可能であり得る。例えば、第一のウェハが第1の電力消費量において平均赤色発光が630nmであると知られているのに対し、第2のウェハは第2の電力消費量において平均赤色発光が610nm発光であると知られている場合、冗長アレイは、平均電力消費量又は交互色域を得る両ウェハからのマイクロLEDデバイスからなり得る。

【0051】

図5Cを参照すると、第3の転写手順は、緑色発光マイクロLEDデバイス400Gのアレイを第2のキャリア基板からTFT基板102へ転写するために完了している。例えば、マイクロLEDデバイス400Gが緑色光（例えば、波長が495～570nm）を発光するように設計される場合、マイクロp-nダイオード450は、窒化インジウムガリウム（InGaN）、窒化ガリウム（GaN）、リン化ガリウム（GaP）、リン化インジウムアルミニウムガリウム（AlGaInP）、及びリン化アルミニウムガリウム（AlGaP）等の材料を含み得る。緑色発光マイクロLEDデバイス400Gの冗長アレイを転写する第4の転写手順は、前記と同様に、図5Dに示される。

【0052】

図5Eを参照すると、第5の転写手順は、青色発光マイクロLEDデバイス400Bのアレイが第3のキャリア基板からTFT基板102へ転写するために完了している。例えば、マイクロLEDデバイス400Bが青色光（例えば、波長が450～495nm）を発光するように設計される場合、マイクロp-nダイオード450は、窒化ガリウム（G

10

20

30

40

50

a N)、窒化インジウムガリウム (InGa N)、及びセレン化亜鉛 (ZnSe) 等の材料を含み得る。青色発光マイクロLEDデバイス400Bの冗長アレイを転写する第6の転写手順は、前記と同様に、図5Fに示される。

【0053】

図5A～図5Fに関連して上述される特定の実施形態において、各サブ画素の第1及び第2のマイクロLEDデバイス400は、別個に転写される。例えば、これにより、相関のある欠陥の可能性を減じることができる。しかし、他の実施形態において、第1及び第2のマイクロLEDデバイスと同じキャリア基板から同時に転写することが可能である。このように、同時転写は、生産スループットを増加させることができるが、マイクロLEDデバイスをキャリア基板の同じエリアから転写するため、相関のある欠陥の可能性を犠牲にして、冗長性スキームの利点のいくつかを依然として提供する。かかる実施形態において、処理シーケンスは図5B、図5D、図5Fの順のシーケンスに類似するであろう。

【0054】

本発明の実施形態によれば、転写ヘッドは画素又はサブ画素のアレイに対応するバックプレーン上のバンク開口のピッチに合致するピッチ (x, y、及び/又は対角線) により分けられる。表1は、解像度1920×1080p及び2560×1600の様々な赤-緑-青 (RGB) ディスプレイのための本発明の実施形態に従う例示的な実施のリストを提供する。本発明の実施形態は、RGBカラースキーム又は解像度1920×1080p若しくは2560×1600に限定されず、特定の解像度及びRGBカラースキームは単に例示の目的のためのものであることを理解すべきである。

【表1】

表1

表示基板	画素ピッチ (x, y)	サブ画素ピッチ (x, y)	インチ毎画素 (PPI)	可能な転写ヘッドアレイピッチ
55インチ 1920×1080	(634 μ m, 634 μ m)	(211 μ m, 634 μ m)	40	X: 211 μ mの倍数又は分数 Y: 634 μ mの倍数又は分数
10インチ 2560×1600	(85 μ m, 85 μ m)	(28 μ m, 85 μ m)	299	X: 28 μ mの倍数又は分数 Y: 85 μ mの倍数又は分数
4インチ 640×1136	(78 μ m, 78 μ m)	(26 μ m, 78 μ m)	326	X: 26 μ mの倍数又は分数 Y: 78 μ mの倍数又は分数
5インチ 1920×1080	(58 μ m, 58 μ m)	(19 μ m, 58 μ m)	440	X: 19 μ mの倍数又は分数 Y: 58 μ mの倍数又は分数

【0055】

上記の例示の実施形態において、40PPI画素濃度は、55インチ、解像度1920×1080pのテレビに対応することができ、326及び440PPI画素濃度は、RETIANA (登録商標) ディスプレイを備えたハンドヘルドデバイスに対応することができる。本発明の実施形態によれば、数千、数百万、又は何億もの転写ヘッドでさえ、マイクロピックアップアレイのサイズにより、物質移動ツールのマイクロピックアップアレイ内に含まれ得る。本発明の実施形態において、転写ヘッドの1cm×1.12cmのアレイ

は、 $211\mu\text{m}$ 、 $634\mu\text{m}$ ピッチの837転写ヘッド及び $19\mu\text{m}$ 、 $58\mu\text{m}$ ピッチの102,000転写ヘッドを含み得る。

【0056】

転写ヘッドのアレイでピックアップされるマイクロLEDデバイスの数は、転写ヘッドのピッチに合致してもよく、合致しなくてもよい。例えば、 $19\mu\text{m}$ のピッチにより分離される転写ヘッドのアレイは、 $19\mu\text{m}$ のピッチでマイクロLEDデバイスのアレイをピックアップする。別の実施例において、 $19\mu\text{m}$ のピッチにより分離される転写ヘッドのアレイは、約 $6.33\mu\text{m}$ のピッチでマイクロLEDデバイスのアレイをピックアップする。このように、転写ヘッドは、バックプレーンへの転写のために2つ置き of マイクロLEDデバイスをピックアップする。いくつかの実施形態によれば、発光マイクロデバイスのアレイの上面は、マイクロLEDデバイスをバンク開口内に配置する間、転写ヘッドがバックプレーン上の絶縁層（又はいかなる介在層）により損傷されること又は絶縁層（又はいかなる介在層）を損傷することを防ぐために、絶縁層の上面より高い。

10

【0057】

図6Aは、上部電極層の形成後の、一実施形態によるアクティブマトリクス型ディスプレイパネルの上面視の図である。図6Bは、別個の上部電極層の形成後の、一実施形態によるアクティブマトリクス型ディスプレイパネルの上面視の図である。図6C～図6Dは、本発明の実施形態に係る、図6A又は図6Bのいずれかのアクティブマトリクス型ディスプレイパネルのX-X線及びY-Y線による、側面視の図である。図6A～図6Bに例示する実施形態によれば、1つ以上の上部電極層118は、画素エリア104内のバンク開口128間を走る接地タイライン144と電氣的に接触して開口149内に形成されると共に、マイクロLEDデバイス400のアレイを含む画素エリア104の上部に形成される。

20

【0058】

次に図6C～図6Dを参照すると、1つ以上の上部電極層118を形成する前に、マイクロLEDデバイス400は、上部及び下部電極層118、142間の電氣的短絡、又は1つ以上の量子井戸416における短絡を防ぐために、バンク開口128内にパッシベーション層148はバンク開口128のアレイ内のマイクロLEDデバイス400の側壁の周囲に形成されてもよい。一実施形態において、マイクロLEDデバイス400が垂直LEDデバイスである場合、パッシベーション層148は量子井戸構造416を覆いそれを補う。パッシベーション層148はまた、短絡の可能性を防ぐため、任意選択の絶縁層146によりまだ覆われていない下部電極層142のいずれかの部分を覆ってもよい。したがって、パッシベーション層148は、下部電極層142だけでなく、量子井戸構造416もまたパッシベーションするために使用され得る。本発明の実施形態によれば、パッシベーション層148は、上部導電性接触部452等の、マイクロLEDデバイス400の上面には形成されない。一実施形態において、プラズマエッチング処理、例えば、 O_2 又は CF_4 プラズマエッチングは、上部導電性接触部452等のマイクロLEDデバイス400の上面を、上部導電性電極118層118がマイクロLEDデバイス400と電氣的に接触できるように、露出させるようにした上で、パッシベーション層148をエッチバックするためにパッシベーション層148を形成した後に使用され得る。

30

40

【0059】

本発明の実施形態によれば、パッシベーション層148は、完成されたシステムの光抽出効率を著しく低下させないために、可視波長に対して透光性又は半透光性であってよい。パッシベーション層は、エポキシ、ポリ（メチルメタクリレート）（PMMA）等のアクリル（ポリアクリレート）、ベンゾシクロブテン（BCB）、ポリイミド、及びポリエステル等であるが、それに限定されない、様々な材料で形成されてもよい。一実施形態において、パッシベーション層148は、インクジェット印刷又はスクリーン印刷により、マイクロLEDデバイス400の周囲に形成される。

【0060】

50

図 6 C に例示する特定の実施形態において、パッシベーション層 1 4 8 は、バンク開口 1 2 8 内にのみ形成される。しかし、これは必要とされるものではなく、パッシベーション層 1 4 8 は、バンク構造層 1 2 6 の上部に形成されてもよい。更に、絶縁層 1 4 6 の形成は必要とされず、パッシベーション層 1 4 8 はまた、導電層を電氣的に絶縁するために使用され得る。図 6 D に例示する実施形態に示すように、パッシベーション層 1 4 8 はまた、下部電極 1 4 2 及び接地タイライン 1 4 4 を形成する導電層の側壁をパッシベートするために使用してもよい。一部の実施形態では、パッシベーション層 1 4 8 は、任意的に、接地リング 1 1 6 をパッシベートするために使用してもよい。いくつかの実施形態によれば、開口 1 4 9 の形成は、接地タイライン 1 4 4 の上部のパッシベーション層 1 4 8 をインクジェット印刷又はスクリーン印刷するプロセスの間に形成されてもよい。開口はまた、任意的に、接地リング 1 1 6 の上部に形成されてもよい。このように、別個のパターンニング動作は、開口を形成するために必要とされなくてもよい。

10

【 0 0 6 1 】

本発明のいくつかの実施形態によれば、通路 1 5 1、すなわち、井戸構造は、特にパッシベーション層 1 4 8 がインクジェット印刷又はスクリーン印刷等による溶媒系を使用して形成される時に、パッシベーション層 1 4 8 が過度に広がり、接地タイライン 1 4 9 の上部にオーバーフローするのをキャプチャ又は防ぐために、図 6 C に示すように、バンク層 1 2 6 内に形成されてもよい。したがって、いくつかの実施形態において、通路 1 5 1 は、バンク開口 1 2 8 と、隣接する接地タイライン 1 4 4 との間の、バンク層 1 2 6 内に形成される。

20

【 0 0 6 2 】

図 6 C ~ 図 6 D を更に参照すると、パッシベーション層 1 4 8 の形成後、1 つ以上の上部導電電極層 1 1 8 が各マイクロ LED デバイス 4 0 0 の上部に、もし存在すれば上部接触層 4 5 2 と電氣的に接触して、形成される。以下の記述における特定の用途によっては、上部電極層 1 1 8 は、可視波長に対して、不透光性、反射性、透光性、又は半透光性を有してもよい。例えば、トップエミッションシステムにおいて、上部電極層 1 1 8 は、透光性を有してもよく、ボトムエミッションシステムにおいては、上部電極層は反射性を有してもよい。例示の透光性を有する導電材は、アモルファスシリコン、インジウムスズ酸化物 (ITO) 及びインジウム亜鉛酸化物 (IZO) 等の透明導電性酸化物 (TCO)、カーボンナノチューブ膜、又はポリ (3、4 - エチレンジオキシチオフェン) (PEDOT)、ポリアニリン、ポリアセチレン、ポリピロール、及びポリチオフェン等の透明導電性ポリマーを含む。一実施形態において、上部電極層 1 1 8 は、銀、金、アルミニウム、モリブデン、チタニウム、タングステン、ITO、及び IZO 等のナノ粒子を含む。特定の実施形態において、上部電極層 1 1 8 は、インクジェット印刷若しくはスクリーン印刷 ITO、又は PEDOT 等の透明導電性ポリマーにより形成される。形成の他の方法は、化学蒸着法 (CVD)、物理蒸着法 (PVD)、スピンコーティングを含み得る。上部電極層 1 1 8 はまた、可視波長に対して反射性を有してもよい。一実施形態において、上部導電電極層 1 1 8 は、アルミニウム、モリブデン、チタニウム、タングステン化チタン、銀、金、又はそれらの合金等の反射性金属膜を含み、例えば、ボトムエミッションシステムにおいて使用される。

30

40

【 0 0 6 3 】

本発明のいくつかの実施形態によれば、接地タイライン 1 4 4 は、上部電極層 1 1 8 より電氣的により導電性を有してもよい。図 3 D に例示する実施形態において、接地タイライン 1 4 4 は、TFT 基板 1 0 2 内のトランジスタ (例えば、T2) のうちの 1 つに対するソース / ドレイン接続又はゲート電極を形成するのに使用される同一の金属層から形成され得る。例えば、接地タイライン 1 4 4 は、銅又はアルミニウム、それらの合金を含む、共通の相互接続材から形成され得る。図 3 B ~ 図 3 C 及び図 6 C ~ 図 6 D に例示する実施形態において、接地タイライン 1 4 4 はまた、下部電極層 1 4 2 と同じ材料から形成され得る。例えば、接地タイライン 1 4 4 及び下部電極層 1 4 2 は、層の導電性も改善し得る、反射性材料を含む。特定の実施例において、接地タイライン 1 4 4 及び下部電極は、

50

金属膜又は金属粒子を含んでもよい。いくつかの実施形態によれば、上部電極層 118 は、アモルファスシリコン等の透光性又は半透光性を有する材料、インジウムスズ酸化物 (ITO) 及びインジウム亜鉛酸化物 (IZO) 等の透明導電性酸化物 (TCO)、カーボンナノチューブ膜、又はポリ (3、4 - エチレンジオキシチオフェン) (PEDOT)、ポリアニリン、ポリアセチレン、ポリピロール、及びポリチオフェン等の透明導電性ポリマーにより形成されてもよく、これらのすべては、フィルム積層内の金属膜を含む導電性及び反射性を有する下部電極層よりも、導電性が低くてもよい。

【0064】

再び図 6A を参照すると、例示される特定の実施形態において、上部電極層 118 は、マイクロ LED デバイス 400 のアレイを含む画素エリア 104 の上部に形成される。上部電極層 118 はまた、存在する場合は開口 149 内に形成されてもよく、画素エリア 104 内のバンク開口 128 間を走る接地タイライン 144 に電氣的に接触してもよい。かかる実施形態において、接地タイライン 144 は接地リング 116 に電氣的に接触しているため、上部電極層 118 を画素エリア 104 外に形成する必要はない。例示のように、接地リング 116 は、絶縁層 146、パッシベーション層 148、又更にはバンク構造層 126 若しくは平坦化層 122 等の電氣的に絶縁する層の下に埋め込んでもよい。図 6A では、上部電極層 118 を画素エリア 104 の上部にのみ含むよう、かつ接地タイライン 144 を含むように記述及び例示しているが、本発明の実施形態はこれに限定されない。例えば、接地タイライン 144 は、冗長性スキーム及び修復部位を設けるのに必要ではなく、また上部電極層を接地リング 116 又は接地ラインの上部にそれに電氣的に接触するように形成しない必要もない。

【0065】

図 6B は、別個の上部電極層 118 が 1 つ以上のマイクロ LED デバイス 400 を 1 つ以上の接地タイライン 144 に接続するように形成される、代替の実施形態を示す。図 6B に例示する特定の実施形態において、上部電極層 118 は、マイクロ LED デバイス 400 から付近の接地タイライン 144 までの電気路を提供すればよい。したがって、上部電極層 118 が、そのために、全画素エリア 104 又は全バンク開口 128 でさえも覆う必要はない。例示の特定の実施形態において、各上部電極層 118 は、中間接地タイライン 144 の対向する側のバンク開口のペア内のマイクロ LED デバイス 400 を接続する。しかし、この特定の構成は例示であり、数多くの異なる構成が可能である。例えば、単一の上部電極層 118 は、接地タイライン又は接地リングまで、n 行のマイクロ LED デバイス又はバンク開口 128 上に走り、電氣的に接続してもよい。例示のように、上部電極層 118 は、接地タイライン 144 に対する開口 149 内に形成されてもよい。かかる実施形態において、接地タイライン 144 は接地リング 116 に電氣的に接触しているため、上部電極層 118 を画素エリア 104 外に形成する必要はない。

【0066】

例示のように、図 6A ~ 図 6B に示す実施形態に従って、接地リング 116 は、絶縁層 146 等の電氣的に絶縁する層の下に埋め込んでもよい。図 6B に例示する特定の実施形態において、マイクロ LED デバイス 400 の最上行は、個別の上部電極層 118 で接地リング 116 に接続されるように例示される。かかる実施形態において、各上部電極層 118 は、上述のように、1 つ以上の開口を通して接地リング 116 に接触する。したがって、図 6A ~ 図 6B に例示する実施形態は、マイクロ LED デバイス 400 を画素エリア 104 内の接地タイライン 144 に接続する 1 つの方法を提供するが、これは接地タイライン 144 を通さずに接地リング 116 に接続するために別個の上部電極層 118 を使用することを排除するものではない。

【0067】

図 6A ~ 図 6B に例示するように、上部電極層 118 の線幅は、用途によって変化し得る。例えば、線幅は画素エリア 104 の線幅に近づく得る。代替的に、線幅は最小となり得る。例えば、約 15 μm ほどの狭い線幅は、市販のインクジェットプリンターにより実現され得、約 30 μm ほどの狭い線幅は、市販のスクリーンプリンターにより実現され得

る。したがって、上部電極層 118 の線幅は、マイクロ LED デバイスの最大幅より大きくてもよいし、小さくてもよい。

【0068】

別の態様において、本発明の実施形態は、インクジェット印刷又はスクリーン印刷で上部電極層 118 を局所的に形成するのに特に適し得る。特に、インクジェット印刷は非接触印刷法であるため、適し得る。図 1 ~ 図 2 のディスプレイパネルの製造に使用されるような従来の AMOLED バックプレーン処理シーケンスは、典型的に、各バックプレーン 100 をより大きな基板からシングュレートすること続き、上部電極層を蒸着チャンバ内にプランケット蒸着する。いくつかの実施形態によれば、ディスプレイパネル 100 のバックプレーンは、マイクロ LED デバイス 400 のアレイの転写に先立ち、より大きい

10

【0069】

図 7 は、本発明の一実施形態に係る冗長性及び修復部位構成を含むスマート画素ディスプレイの上面視の概略図である。示されるように、ディスプレイパネル 200 は、基板 201 を含み、それは不透明、透明、硬質、又は柔軟であってもよい。スマート画素エリア 206 は、異なる発光色の別個のサブ画素、及び TFT 基板に関連して上述した作動回路を含むマイクロコントローラチップ 208 を含んでもよい。このように、作動回路を含む TFT 基板上に画素エリアを形成するよりむしろ、マイクロ LED デバイス 400 及びマイクロコントローラチップ 208 の両方は、基板 201 の同一側又は同一面に転写される。配電線は、マイクロコントローラチップ 208 を、TFT 基板と同様に、データ駆動回路 110 及びスキャン駆動回路 112 に接続し得る。同様に、バンク層構造は、マイクロ LED デバイス 400 及び修復接合部位 401 を包含するため TFT 基板について上述したのと同様に、基板 201 上に形成されてもよい。同様に、上部電極層 118、すなわち、別個の上部電極 118 は、TFT 基板構成に関連して上述したのと同様に、マイクロ LED デバイス 400 を接地タイライン 144 又は接地リング 116 に接続し得る。こうして、同様の冗長性及び修復部位構成は、TFT 基板構成について上述したのと同様に、スマート画素構成で形成されてもよい。

20

【0070】

これまで、冗長性及び修復部位構成が、欠陥のある、欠落した、又は汚損されたマイクロ LED デバイスを検出するためにいかなる検査が実行されたかどうか、又はいかなる修復オプションが実行されたかどうか、に関連せずに記述されてきた。こうして、これまで、本発明の実施形態は、マイクロ LED デバイスのディスプレイ基板への転写が 100 % の確率で成功したことを前提として、修復が不要であるとして、記述及び例示されてきた。しかし、実用において、常に 100 % の確率で転写が成功し、欠陥のある、欠落した、又は汚損されたマイクロ LED デバイスがない、ということは期待されない。本発明の実施形態によれば、マイクロ LED デバイスは 1 ~ 100 μm の規模であり、例えば、最大幅が約 20 μm 、10 μm 、又は 5 μm であり得る。かかるマイクロ LED デバイスは、例えば、静電転写ヘッドのアレイを使用して、キャリア基板からのピックアップ及びディスプレイ基板への転写をするために製造される。欠陥のあるマイクロ LED デバイスは、汚損、応力破損、及び導電層間の短絡等の様々な理由によって生じ得る。マイクロ LED デバイスはまた、キャリア基板の非平面性、汚損（例えば、粒状物）、又はマイクロ LED デバイスのキャリア基板への不規則な接着等の、様々な理由により、転写作業中はピックアップされなくてもよい。

30

40

【0071】

図 8 A ~ 図 8 B は、図 5 A ~ 図 5 F に示す転写作業等の、マイクロ LED デバイスのキャリア基板からディスプレイ基板への転写後、並びにパッシベーション層 148 及び上部電極層 118 の形成に先立ち、欠陥のある、欠落した、又は汚損されたマイクロ LED デバイスを検出するための、本発明の実施形態に係る、統合検査方法を示す。このように、

50

欠陥のある、欠落した、又は汚損されたマイクロLEDデバイスの検出は、パッシベーション層148及び上部電極層118の蒸着パターンを潜在的に変更するため、及び必要であれば、潜在的に代替のマイクロLEDデバイスを転写するために、使用されてもよい。次に図8Aを参照すると、光源804及びカメラ806を支持するキャリアッジ802は、下部電極層142に転写及び接合されたマイクロLEDデバイス400のアレイを担持するディスプレイ基板上でスキャンされる。

【0072】

一実施形態において、カメラ806はラインスキャンカメラである。例えば、ラインスキャンカメラは、ラインスキャンカメラが撮像面上を通過する際に、画像を作成するフレームをつなげるコンピュータシステムに連続的に供給するために使用され得る一行の画素センサを、典型的に有する。一実施形態において、カメラ806は画素のx-y両方の次元を有する二次元(2D)カメラである。本発明の実施形態によれば、カメラ806は、例えば、最大幅1~100µmのマイクロLEDデバイス400を撮像可能な解像度を有すべきである。解像度は、画素センサにおける画素サイズにより決定でき、解像度を高めるために光学部品を使用することにより援助され得る。例として、一実施形態において、マイクロLEDデバイス400は、最大幅約5µmである。ある例示的な、使用され得るラインスキャンカメラ806は、画素サイズが3.5µmのBASLER(登録商標)RUNNER SERIES CAMERA(ドイツAhrensburgのBasler AG社から入手可能)である。光学部品の追加により、画素サイズが3.5µmの場合、約1.75µmまで解像度を許容しうる。ラインスキャンカメラはまた、それらのラインスキャン速度及びラインスキャン幅のために選択され得る。例えば、ラインスキャン速度は、毎秒数メートルまで達成することができ、ラインスキャン幅は一般的に10~50mmの間が可能である。

【0073】

一実施形態において、光源804は、スキャンされる表面を照らすために使用される。例えば、一実施形態において、マイクロLEDデバイス400が意図された位置に置かれたかどうかを検証するために、カメラ806は、基板201、102の表面上にスキャンされる。このように、カメラ806は、各マイクロLEDデバイス400に対し、キャリア基板からディスプレイ基板201、102までの転写が成功したことを検出するために使用され得る。

【0074】

別の実施形態において、光源804は、マイクロLEDデバイス400の光ルミネッセンスを誘発するために光の励起波長を放出するために使用される。光源804は、LED照明又はエキシマレーザ等であるが、それに限定されない、様々な光源であってよい。このように、ラインスキャンカメラ808は、発光しない又は不規則な発光のどちらかである、マイクロLEDデバイス400からの特定の発光波長を検出するために使用され得る。したがって、この情報は、そうでなければキャリア基板上で容易に矯正することができない、マイクロLEDデバイス400内の欠陥を検出するために使用され得る。上述のように、キャリア基板は、ピックアップ及び転写のために整えられた数千又は数百万のマイクロLEDデバイス400を含み得る。様々な欠陥が、キャリア基板上のマイクロLEDデバイス400の処理及び統合中に生じ得る。これらの欠陥は、潜在的に、一旦ディスプレイ基板201、102に転写されると、短絡又は不均一な発光を起こし得る。しかし、欠陥のあるマイクロLEDデバイス400がキャリア基板上にある場合、それらを個別に矯正するのは最適でないかもしれない。マイクロLEDデバイス400がキャリア基板上で欠陥がある場合、本発明の実施形態に従い、ディスプレイ基板201、102上で冗長性スキーム又は修復部位で欠陥を矯正することが単により効果的であり得る。

【0075】

一実施形態において、光源804は、マイクロLEDデバイスからの光のレッドシフト又は蛍光発光を誘発するために、対象のマイクロLEDデバイスが発光する光の波長よりも短い波長の光を発する。本発明の実施形態によれば、光源804は調整可能であり得る

、又は所望の波長に設定された複数の光源が備えられる。例えば、励起波長 500 ~ 600 nm は、赤色発光マイクロ LED デバイス 400 R からの赤色光（例えば、波長 620 ~ 750 nm）の発光を誘発するために使用されてもよく、励起波長 430 ~ 470 nm は、緑色発光マイクロ LED デバイス 400 G からの緑色光（例えば、波長 495 ~ 570 nm）の発光を誘発するために使用されてもよく、励起波長 325 ~ 425 nm は青色発光マイクロ LED デバイス 400 B からの青色光（例えば、波長 450 ~ 495 nm）の発光を誘発するために使用されてもよい。しかし、これらの範囲は例示であり、排他的ではない。いくつかの例では、選択された範囲の波長のみが検出されるように、ラインスキャンカメラ 806 の上部にカラーフィルタ 808 を設けることが役立つ場合がある。これにより、異なる色のマイクロ LED デバイスからの発光から生じる希釈を減じることができる。

10

【0076】

次に図 8 B を参照すると、マイクロ LED デバイスのアレイの接合後に基板 201、102 をスキャンするための実施形態が例示される。かかる実施形態において、例示の基板は、幅約 100 mm であり、ラインスキャン幅約 20 mm のラインスキャンカメラが備えられる。例示のように、基板 201、102 は、基板 201、102 の全面をカバーするのに全部で 3 つのパスによりスキャンされる。一実施形態において、ラインスキャンカメラ 806 は、マルチカラーカメラであり、光源（複数も可）204 がすべてのマイクロ LED デバイスを励起するために必要な励起波長を提供すると仮定し、赤色、緑色、及び青色すべてのマイクロ LED デバイス 400 を同時に撮像可能である。別の実施形態において、特定のマイクロ LED デバイス発光色をターゲットにするために、単一の励起波長又は範囲のみが提供される。かかる実施形態において、すべてのマイクロ LED デバイス 400 を撮像するために 3 つの励起波長で、基板 201、102 を 3 回にわけてスキャンすることが必要となり得る。しかし、毎秒数メートルまでのラインスキャン速度では、複数のスキャンに必要とされる実際の時間の差はわずかであり得る。

20

【0077】

一実施形態において、基板 201、102 は、段階的画像キャプチャ方法によりスキャンされる。例えば、カメラはサブ画素間の既知の距離を移動する、又は画像キャプチャ間のマイクロ LED デバイスの既知の接合部位間の既知の距離を移動する。かかる実施形態において、カメラはラインスキャンカメラであってよい。一実施形態において、カメラはモザイク又は選択されたタイルをキャプチャするために画素の x - y アレイを含んだカメラであってよい。カメラの段階的画像キャプチャ動作により、基板表面の特定の領域の柔軟性を検査することが可能となり、それは離れて測定されたマイクロ LED デバイスと名目上のパターンとを比較するのに特に適し得る。したがって、カメラは一行にスキャンするよりむしろ特定の位置をキャプチャするためのパターンで移動し得る。

30

【0078】

数多くの可能な処理の変形例は、図 8 A ~ 図 8 B に関連して記述される統合検出検査の結果に基づき得る。具体的に、いくつかの実施形態において、パッシベーション層 148 及び上部電極層 118 のパターン化は、特にインクジェット印刷により堆積する場合、特定の結果に即し得る。

40

【0079】

図 9 は、本発明の一実施形態に係る、マイクロ LED デバイス 400 X の欠陥又は汚損を検出後に形成され得る例示的な構造の側断面視の図である。例示の実施形態において、マイクロ LED デバイス 400 は検出検査において能力がある（例えば、適切な発光）であることがわかり、マイクロ LED デバイス 400 X は欠陥があることがわかった。代替的に、又は追加的に、検出検査は、マイクロ LED デバイス 400 X が汚損されている（例えば、上面の粒子が上部電極層との接触を妨げ得る）ことを示した。欠陥検出検査は必ずしも欠陥が何であるかを判定するものではなく、例示の実施形態においては、上部電極層 118 が欠陥のある又は汚損されたマイクロ LED デバイス 400 X と電氣的に接触することを不可能とするために、十分にマイクロ LED デバイス 400 X をパッシベートす

50

るためのパッシベーション層 148 が、単にマイクロ LED デバイス 400X の上部に形成され得る。

【0080】

図 10 は、本発明の一実施形態に係る、欠落したマイクロ LED デバイスを検出後に形成され得る例示的な構造の側断面視の図である。例示の実施形態において、検出検査は、マイクロ LED デバイスが転写されていないことを示した。その結果、パッシベーション層 118 は上部電極層 118 が下部電極 142 と電氣的に接触するのを不可能とするために、接合層 140 の上部に形成される。

【0081】

図 11 は、本発明の一実施形態に係る、欠陥のある又は汚損されたマイクロ LED デバイス 400 を検出後に形成され得る例示的な構造の側断面視の図である。例示するように、パッシベーション層 148 を形成するのに先立ち、代替のマイクロ LED デバイス 400 は、下部電極 142 上の前に開放された修復接合部位 401 に接合され得る。上述のように、修復接合部位 401 は、下部電極層 142 上の露出面であってよく、又は代替的に、接合層 140 を含み得る。代替のマイクロ LED デバイス 400 の配置に続き、パッシベーション層 148 は、図 9 に関連して上述したように、マイクロ LED デバイス 400 の量子井戸構造、下部電極 142、及び任意的に、欠陥のある又は汚損されたマイクロ LED デバイス 400X の露出面をパッシベートするために形成されてもよい。そして上部電極 118 は、マイクロ LED デバイス 400 及び代替のマイクロ LED デバイス 400 と電氣的に接触するように形成され得る。

10

20

【0082】

図 12 は、本発明の一実施形態に係る、マイクロ LED デバイス欠落を検出後に形成され得る例示的な構造の側断面視の図である。例示のように、パッシベーション層 148 を形成するのに先立ち、代替のマイクロ LED デバイス 400 は、下部電極 142 上の前に開放された修復接合部位 401 に接合され得る。代替のマイクロ LED デバイス 400 の配置に続き、パッシベーション層 148 は、上部電極層 118 が下部電極 142 と電氣的に接触するのを不可能とするために、接合層 140 の上部に形成され得る。そして上部電極 118 は、マイクロ LED デバイス 400 及び代替のマイクロ LED デバイス 400 と電氣的に接触するように形成され得る。

30

【0083】

図 13 は、本発明の実施形態に係る、図 9 ~ 図 12 に記述される様々な構成を含むマイクロ LED デバイスのアレイの上面視の概略図である。図 13 に例示の特定の実施形態において、上部電極層 118 は、複数のバンク開口 128 の上部に形成され、複数のサブ画素又は画素 106 の上部に形成されてもよい。一実施形態において、上部電極層 118 は、画素エリア内のすべてのマイクロ LED デバイス 400 の上部に形成される。

【0084】

図 9 に例示の実施形態はまた、図 13 の青色発光サブ画素の 1 つとして示され、上部電極層 118 は、青色発光マイクロ LED デバイス 400、及び欠陥のある又は汚損されたマイクロ LED デバイス 400X の両方の上部に形成され、欠陥のある又は汚損されたマイクロ LED デバイス 400X はパッシベーション層 148 で覆われている。

40

【0085】

図 10 に例示の実施形態はまた、図 13 の赤色発光サブ画素の 1 つとして示され、上部電極層 118 は、赤色発光マイクロ LED デバイス 400 及び接合層 140 の両方の上部に形成され、接合層 140 はパッシベーション層 148 で覆われている。

【0086】

図 11 に例示の実施形態もまた、代替の赤色発光マイクロ LED デバイス 400 が前に解放された修復接合部位 401 に接合された、図 13 の赤色発光サブ画素のうちの 1 つとして例示される。上述のように、開放された修復接合部位 401 は、下部電極層 142 上の露出面であったかもしれず、又は代替的に、接合層 140 を含んだかもしれない。図 9 と同様に、上部電極層 118 は、赤色発光マイクロ LED デバイス 400 及び欠陥のある

50

又は汚損されたマイクロLEDデバイス400Xの両方の上部に形成され、欠陥のある又は汚損されたマイクロLEDデバイス400Xはパッシベーション層148で覆われている。

【0087】

図12に例示の実施形態もまた、代替の青色発光マイクロLEDデバイス400が前に解放された修復接合部位401に接合された、図13の青色発光サブ画素のうちの1つとして例示される。図10と同様に、上部電極層118は、青色発光マイクロLEDデバイス400及び接合層140の両方の上部に形成され、接合層140はパッシベーション層148で覆われている。

【0088】

図14は、本発明の実施形態に係る、図9～図12に記述される様々な構成を含むマイクロLEDデバイスのアレイの上面視の概略図である。図13に例示の特定の実施形態において、マイクロLEDデバイス400の配置は、図13に関連して上述されたものと同じである。図14に例示された実施形態は、図13に例示のものとは、特に複数の別個の上部電極層118の形成において、異なる。一実施形態において、マイクロLEDデバイス400が修復接合部位401上に配置されない、ラベル付きの画素106内に例示のもののように、上部電極層118は、その上に形成されることが要求されない。したがって、上部電極層118の長さは、代替のマイクロLEDデバイスが追加されるかどうかに基づいて決定され得る。加えて、ラベル付き画素106内の青色発光サブ画素は、接地タイラインから更に離れた接合部位上の欠陥のある又は汚損されたマイクロLEDデバイス400Xを示す。かかる実施形態において、上部電極層118は、青色発光マイクロLEDデバイス400の上部のみに形成されてもよく、又は青色発光マイクロLEDデバイス400及び欠陥のある若しくは汚損されたマイクロLEDデバイス400Xの両方の上部に形成されてもよい。上部電極層118はまた、接合部位401の上部に形成されてもよい。

【0089】

図15は、本発明の実施形態に係る、図9～図12に記述される様々な構成を含むマイクロLEDデバイスのアレイの上面視の概略図である。図15に例示の特定の実施形態において、マイクロLEDデバイス400の配置は、図13～図14に関連して上述されたものと同じである。図15に例示された実施形態は、図14に例示のものとは、特に複数の別個の上部電極層118の形成において、異なる。図14に例示の実施形態は、上部電極層118の長さを変更するものとして示されたが、図15に例示の実施形態は、上部電極層118の通路及び/又は上部電極層118の数を変更するものとして示される。例えば、図15に例示の実施形態の多くにおいて、別個の上部電極層118は、マイクロLEDデバイス400毎に形成されてもよい。例示の実施形態において、最下部の青色発光サブ画素では、単一の上部電極層118が、接合層140を避けるために通路が調整された複数のLEDデバイス400に対して、又は代替的に、欠陥のある若しくは汚損されたマイクロLEDデバイスに対して形成されてもよい。このように、上部電極層118の通路を調整することは、欠陥のある若しくは汚損されたマイクロLEDデバイス又は欠陥したマイクロLEDデバイスの接合部位を覆うためのパッシベーション層148の蒸着を調整することの代替案として又はそれに加えて、使用され得る。

【0090】

別個の上部電極層(複数も可)118の形成は、上部電極層(複数も可)118の形成後のパネル100の電氣的検査の間、追加の利点を提供し得る。例えば、上部電極層118の形成に先立ち、マイクロLEDデバイス400Sの短絡を生じさせる、ある欠陥を検出することを可能ではなかったであろう。短絡したマイクロLEDデバイス400Sの示唆は、すべての電流がサブ画素内の他のマイクロLEDデバイスのいずれかよりもむしろ短絡したマイクロLEDデバイス400Sを通して流れる、暗いサブ画素を生じさせ得る。図16に例示の実施形態において、短絡したマイクロLEDデバイス400Sに接続された上部電極層118は、レーザスクライビング等の適した技術を使用して切断される。このように、上述の統合検査方法の間に検出され得なかった又は検出されていなかった電

10

20

30

40

50

氣的短絡は、潜在的に、上部電極層 118 の形成後の表示を通して電流を印加した電氣的検査の間に検出され得る。かかる実施形態において、マイクロ LED デバイス 400S が短絡した場合、マイクロ LED デバイス 400S に対する上部電極層 118 は切断でき、それにより冗長性及び / 又は修復マイクロ LED デバイスがサブ画素からの発光を提供できるようになる。

【0091】

図 17 は、上部電極層 118 を切断又はスクライブするよりむしろ、不規則なマイクロ LED デバイスを分離するために、下部電極層 142 がレーザスクライビング等の適した技術を使用して切断され得る。例示の特定の実施形態において、下部電極層 124 は、マイクロ LED デバイスの別個のランディングエリアを含む。例示の特定の実施形態において、マイクロ LED デバイス 400S を支持する下部電極 124 のランディングエリアは、充填された開口 131 を通して基本 TFT 回路と電氣的通信状態にさせないように、不規則なマイクロ LED デバイスを分離するために、レーザスクライビング等の適切な技術を使用して切断される。

10

【0092】

図 18 は、一実施形態に係るディスプレイシステム 1800 を示す。ディスプレイシステムは、プロセッサ 1810、データ受信機 1820、上述のディスプレイパネルのいずれかのようなディスプレイパネル 100、200 を収容する。データ受信機 1820 は、無線又は有線でデータを受信するように構成され得る。無線は Wi-Fi (登録商標) (IEEE (登録商標) 802.11 ファミリー)、WiMAX (登録商標) (IEEE 802.16、ファミリー)、IEEE 802.20、ロングタームエボリューション (LTE)、Ev-Do、HSPA+、HSDPA+、HSUPA+、EDGE、GSM (登録商標)、GPRS、CDMA、TDMA、DECT、Bluetooth (登録商標)、それらの誘導体、並びに 3G、4G、5G、及びそれを越えるものとして設計された他のいかなる無線プロトコルを含むが、それに限定されない、多数の無線規格又はプロトコルのいずれかにおいて実施され得る。

20

【0093】

その用途により、ディスプレイシステム 1800 は他のコンポーネントを含んでもよい。これらの他のコンポーネントは、メモリ、タッチスクリーンコントローラ、及びバッテリーを含むが、それらに限定されない。様々な実装において、ディスプレイシステム 1800 は、テレビ、タブレット、電話、ラップトップ、コンピュータモニタ、キオスク、デジタルカメラ、ハンドヘルドゲームコンソール、メディアディスプレイ、電子ブックディスプレイ、又は広域サイネージディスプレイであってよい。

30

【0094】

本発明の様々な側面の利用において、上記実施形態の組み合わせ又は変更が冗長性システム及び修復部位をアクティブマトリクス型ディスプレイパネルに統合、並びに欠落した、欠陥のある、又は汚損されたマイクロ LED デバイス等のマイクロ LED デバイスのアレイにおける不規則部分を検出するための検査方法を統合することが可能であることは、当業者にとって明らかであろう。

【0095】

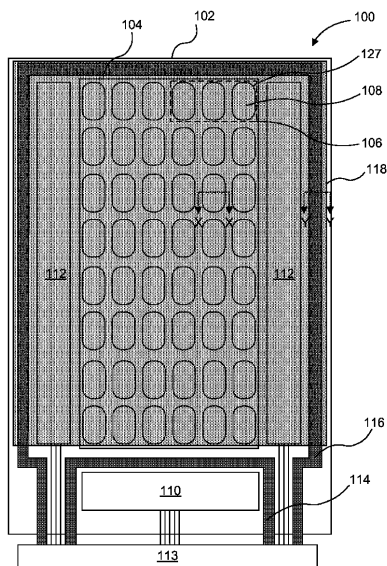
上記実施形態はアクティブマトリクス型ディスプレイパネルに関連して記述されてきたが、冗長性スキーム、修復部位、及び欠落した、欠陥のある、又は汚損されたマイクロ LED デバイスを検出するための検査方法はまた、照明の目的のための基板並びにパッシブマトリクス型ディスプレイパネルにも実行され得る。加えて、上記実施形態はトップエミッション構造に関連して記述されてきたが、本発明の実施形態はまた、ボトムエミッション構造にも適用できる。同様に、トップゲートトランジスタ構造が記述されてきたが、本発明の実施形態はまた、ボトムゲートトランジスタ構造においても実施できる。更に、本発明の実施形態は、ハイサイド駆動構成に関連して記述及び例示されてきたが、実施形態はまた、上述の接地タイライン及び接地リングがパネルにおいて電力ラインとなるローサイド駆動構成でも実施できる。本発明は、構造上の特徴及び / 又は方法論的行為に特有の言

40

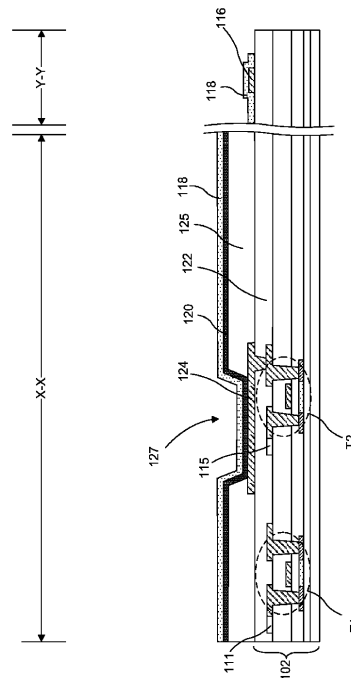
50

語で記述されてきたが、添付の請求項で規定される本発明は、必ずしも記述される特定の
特徴又は行為に限定されないことを理解すべきである。むしろ、記載の特定の特征及び行
為は、本発明を例示する上で有用な、請求の発明の特に上手な実施であるとして理解され
るべきである。

【 図 1 】

FIG. 1
PRIOR ART

【 図 2 】

FIG. 2
PRIOR ART

【図 3 A】

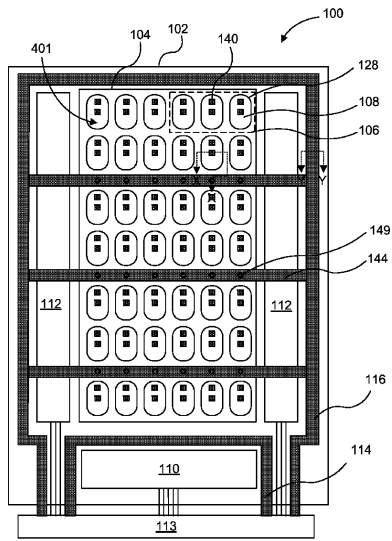


FIG. 3A

【図 3 B】

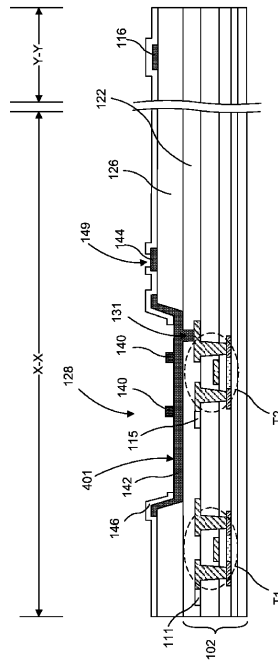


FIG. 3B

【図 3 C】

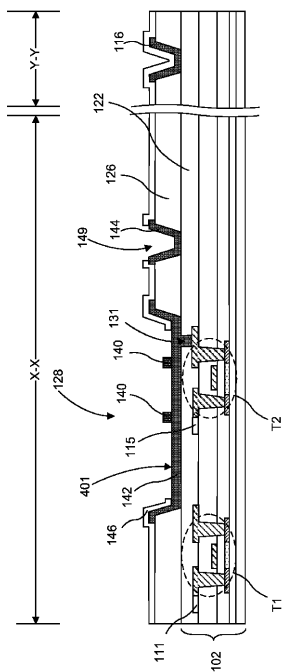


FIG. 3C

【図 3 D】

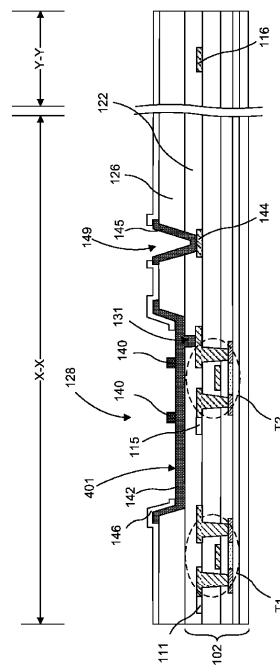


FIG. 3D

【図 4 A】

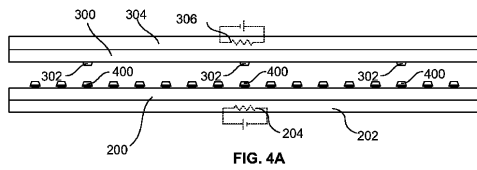


FIG. 4A

【図 4 B】

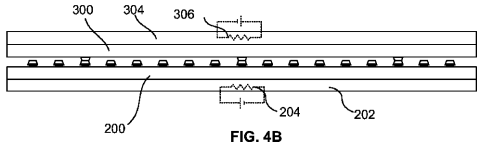


FIG. 4B

【図 4 C】

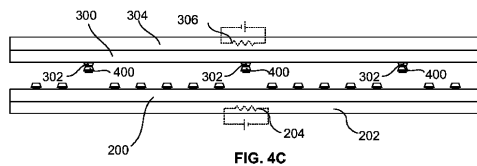


FIG. 4C

【図 4 F】

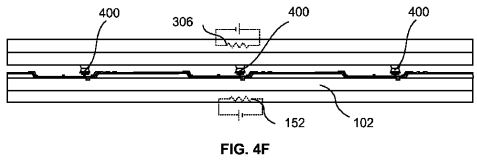


FIG. 4F

【図 4 G】

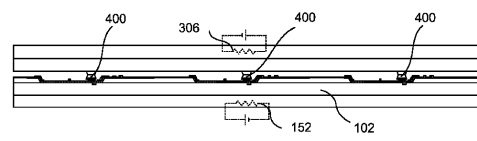


FIG. 4G

【図 4 H】

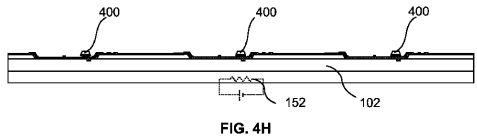


FIG. 4H

【図 4 D】

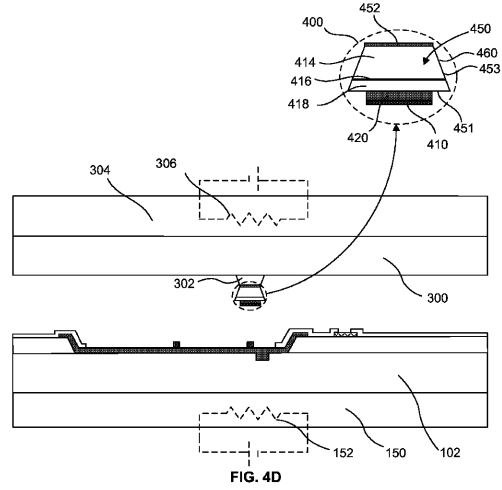


FIG. 4D

【図 4 E】

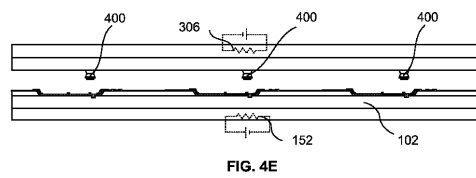


FIG. 4E

【図 5 A】

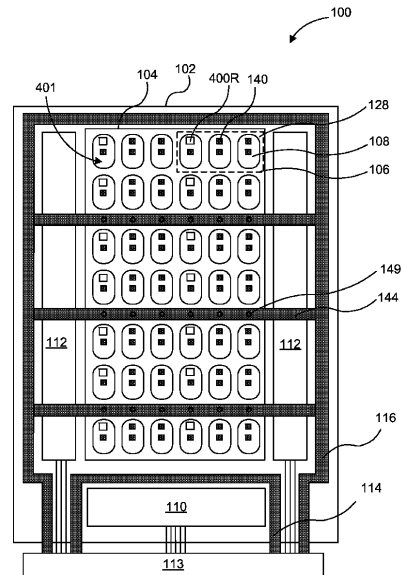


FIG. 5A

【図 5 B】

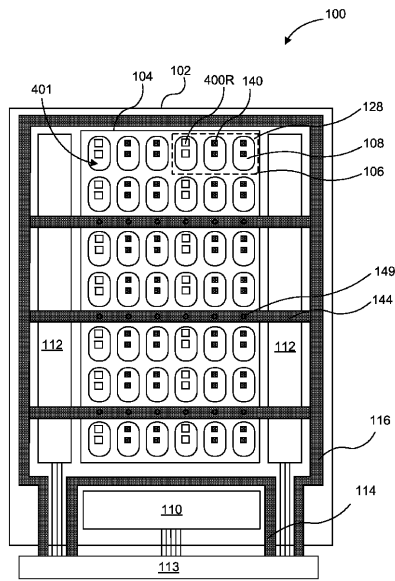


FIG. 5B

【図 5 C】

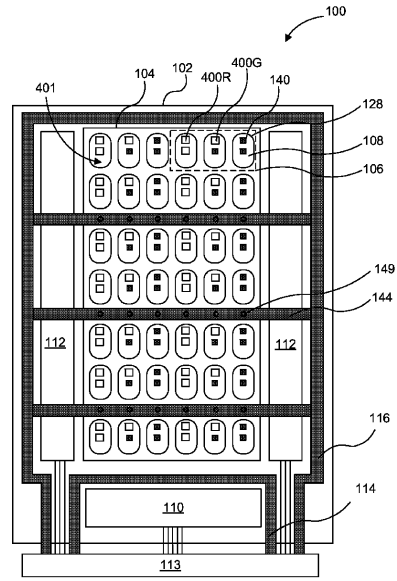


FIG. 5C

【図 5 D】

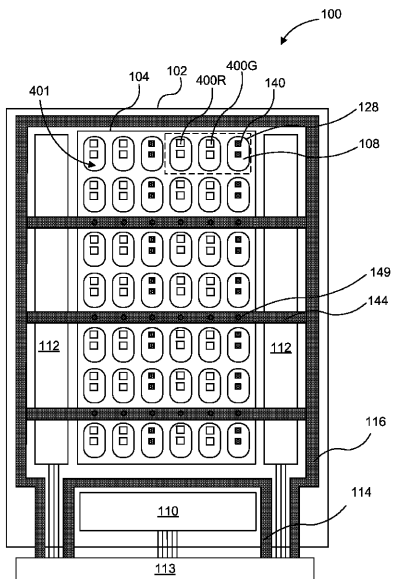


FIG. 5D

【図 5 E】

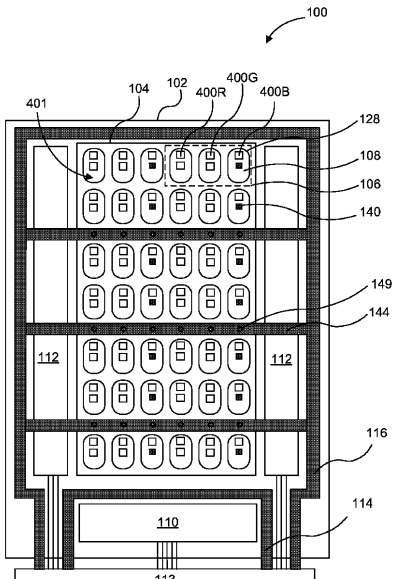


FIG. 5E

【図 5 F】

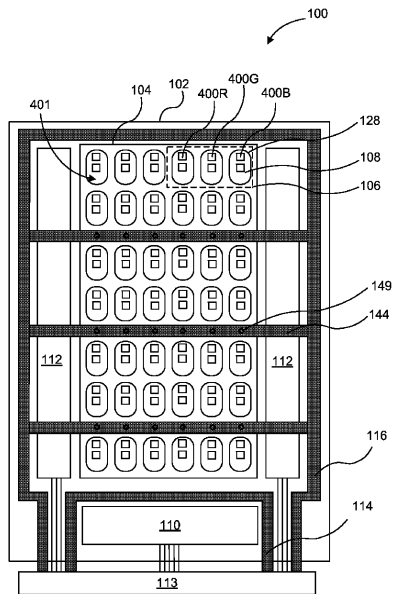


FIG. 5F

【図 6 A】

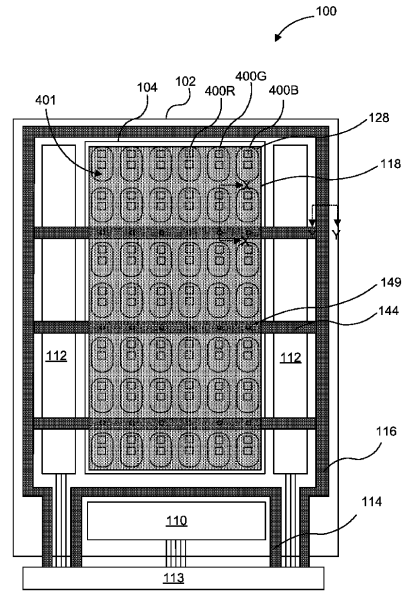


FIG. 6A

【図 6 B】

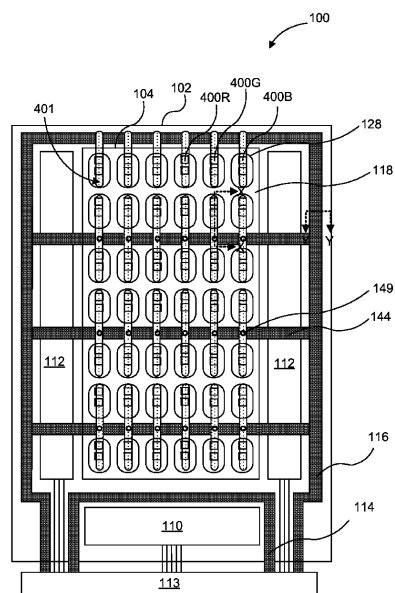


FIG. 6B

【図 6 C】

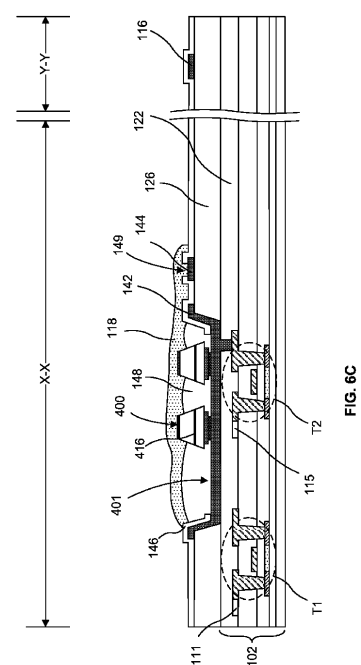
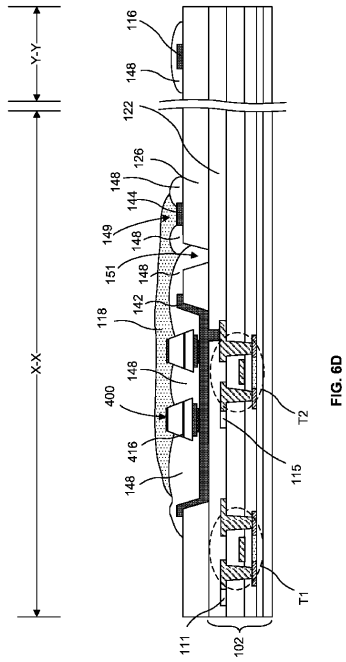
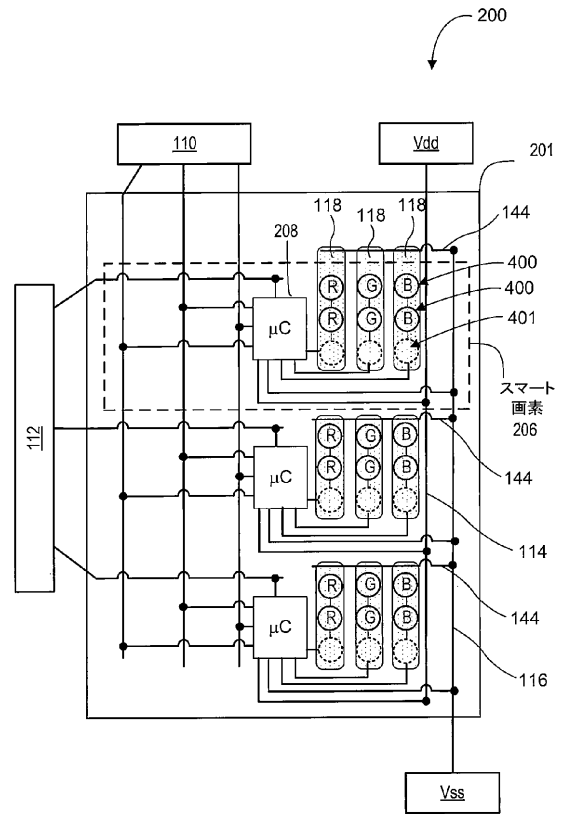


FIG. 6C

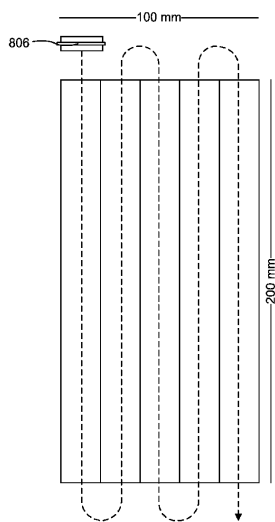
【 図 6 D 】



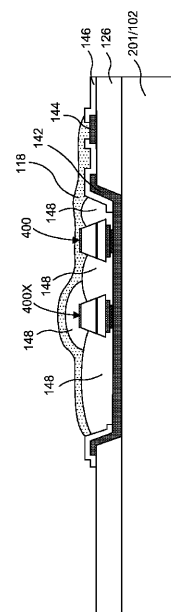
【圖 7】



【 図 8 B 】



【 図 9 】



【図 10】

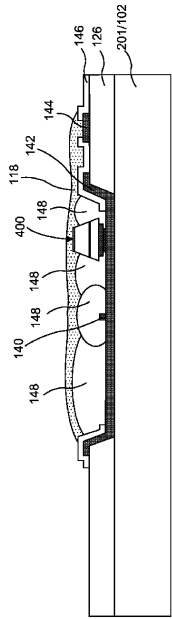


FIG. 10

【図 11】

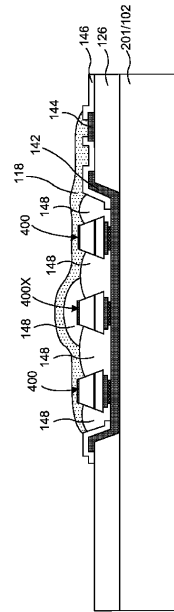


FIG. 11

【図 12】

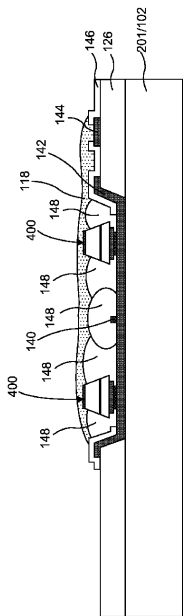


FIG. 12

【図 13】

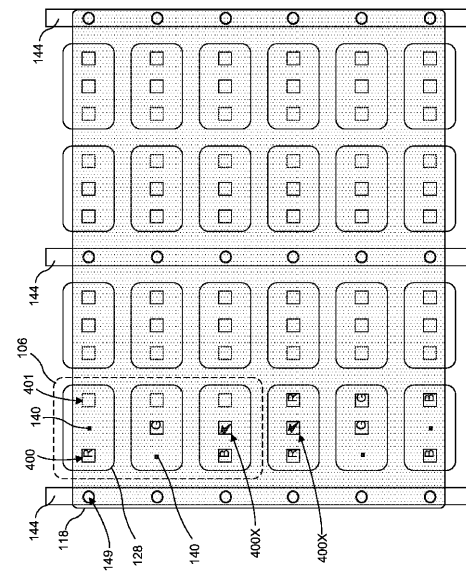
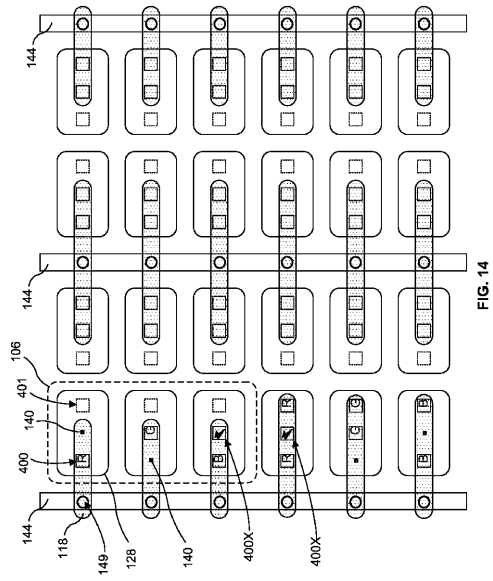
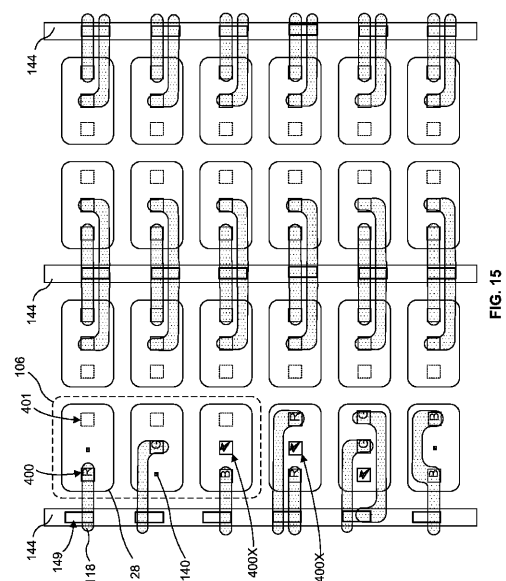


FIG. 13

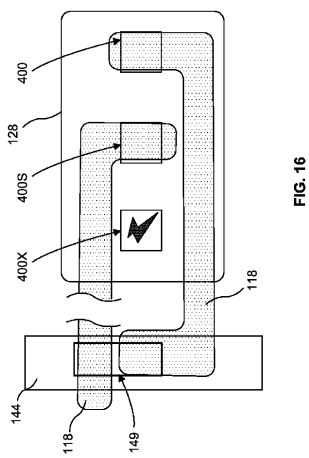
【 図 1 4 】



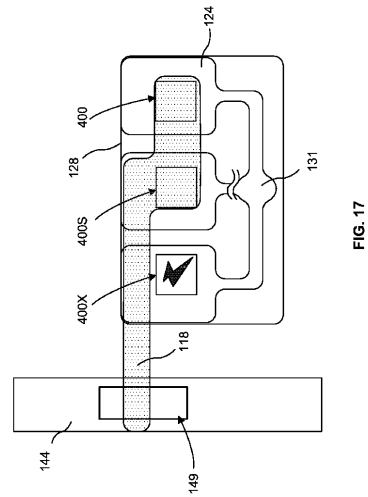
【 図 1 5 】



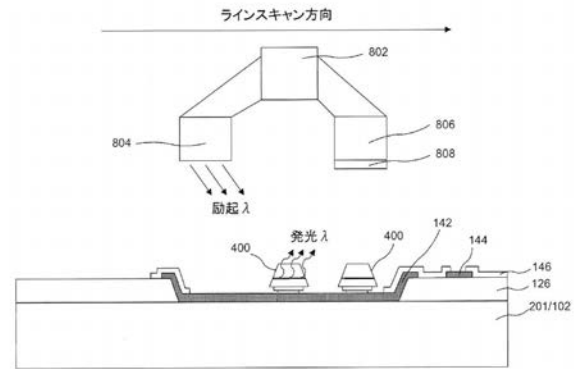
【 図 1 6 】



【 図 1 7 】



【 図 8 A 】



前記第 1 のサブ画素のアレイは、赤色原色発光で発光するように設計され、前記第 2 のサブ画素のアレイは緑色原色発光で発光するように設計され、前記第 3 のアレイサブ画素アレイは、青色原色発光で発光するように設計されたことを特徴とする、請求項 1 に記載

の冗長性スキームを備えたディスプレイパネル。

【請求項 3】

各マイクロLEDデバイスは、最大幅 $1 \sim 100 \mu\text{m}$ であることを特徴とする、請求項 1 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 4】

各マイクロLEDデバイスは、半導体材料を含むことを特徴とする、請求項 3 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 5】

各マイクロLEDデバイスは、p ドープ層、n ドープ層、及び前記 p ドープ層と前記 n ドープ層との間の量子井戸層を含むことを特徴とする、請求項 4 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 6】

前記サブ画素のアレイを切替及び駆動するための回路を更に備えることを特徴とする、請求項 1 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 7】

前記冗長マイクロLEDデバイスのペアのアレイ内の 1 つ以上のマイクロLEDデバイスの不規則部分であって、欠落したマイクロLEDデバイスと、欠陥のあるマイクロLEDデバイスと、汚損されたマイクロLEDデバイスとから成る集合から選択される、不規則部分、を更に備えることを特徴とする、請求項 6 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 8】

前記 1 つ以上の不規則部分を覆うパッシベーション層材料を更に備えることを特徴とする、請求項 7 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 9】

前記 1 つ以上の上部電極層は、前記 1 つ以上の不規則部分と電氣的に接触しないことを特徴とする、請求項 8 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 10】

前記 1 つ以上のマイクロLEDデバイスの不規則部分を、前記サブ画素のアレイ間を走る接地タイラインから電氣的に切断するための、前記 1 つ以上の上部電極層内に 1 つ以上の切れ目を更に備えることを特徴とする、請求項 7 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 11】

各サブ画素は、第 1 のランディングエリアと第 2 のランディングエリアとを含み、対応する冗長マイクロLEDデバイスのペアの第 1 のマイクロLEDデバイスは前記第 1 のランディングエリアに接合され、対応する冗長マイクロLEDデバイスのペアの第 2 のマイクロLEDデバイスは前記第 2 のランディングエリアに接合されることを特徴とする、請求項 7 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 12】

前記第 1 のランディングエリアは、前記回路から電氣的に切断されることを特徴とする、請求項 11 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 13】

前記第 1 のランディングエリアは、前記回路から前記第 1 のランディングエリアを電氣的に切断するためにカットされることを特徴とする、請求項 12 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 14】

前記回路は、マイクロコントローラチップのアレイ内に包含されることを特徴とする、請求項 11 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 15】

前記マイクロコントローラチップのアレイは、前記ディスプレイ基板に接合されることを特徴とする、請求項 14 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 16】

各マイクロコントローラチップは、前記画素エリア内の前記ディスプレイ基板に接合されることを特徴とする、請求項 15 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 17】

各マイクロコントローラチップは、スキャン駆動回路及びデータ駆動回路に接続されることを特徴とする、請求項 16 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 18】

前記作業回路は前記ディスプレイ基板に包含されることを特徴とする、請求項 11 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 19】

前記 1 つ以上の上部電極層は、前記冗長マイクロ LED デバイスのペアのアレイに電氣的に接触する単一の上部電極層であることを特徴とする、請求項 1 に記載の冗長性スキームを備えたディスプレイパネル。

【請求項 20】

前記単一の上部電極層は、平坦化層に形成された複数の開口を通してサブ画素のアレイ間を走る複数の接地タイラインに電氣的に接触することを特徴とする、請求項 19 に記載の冗長性スキームを備えたディスプレイパネル。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2014/021259
A. CLASSIFICATION OF SUBJECT MATTER H01L 27/32(2006.01)i, H01L 51/52(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 27/32; G01R 31/26; G09F 9/30; G09G 3/32; H01L 33/00; G09G 3/10; B29C 65/02; B29C 65/48; H01L 21/66; G01N 21/63; H01L 21/00; H01L 51/52		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: micro LED, pixel, redundancy, transfer		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002-0036471 A1 (GUENOLE CLAUDE MICHEL SILVESTRE) 28 March 2002 See paragraphs [0014]-[0020] and figures 1-4.	1-15, 17-19, 33-47
A		16, 20-32, 48-49
Y	US 8349116 B1 (ANDREAS BIBL et al.) 08 January 2013 See column 15, line 60 - column 18, line 45, column 21, lines 4-51 and figures 16-21, 25.	1-15, 17-19, 21-26, 29-47
A		16, 20, 27-28, 48-49
Y	WO 03-012884 A1 (NAM-YOUNG KIM) 13 February 2003 See page 13, line 24 - page 14, line 18 and figures 11-12.	4-6
Y	US 6514779 B1 (SEI-HYUNG RYU et al.) 04 February 2003 See abstract, column 4, line 62 - column 8, line 51 and figures 3-9.	11-15, 17-19, 21-26, 29-47
A		1-10, 16, 20, 27-28, 48-49
Y	JP 05-291624 A (HITACHI CABLE LTD.) 05 November 1993 See paragraphs [0013]-[0017] and figures 1-2.	25-26, 42-43
A	US 2012-0223875 A1 (KEI MAY LAU et al.) 06 September 2012 See abstract, paragraphs [0054]-[0067] and figures 3-10.	1-49
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 June 2014 (13.06.2014)		Date of mailing of the international search report 16 June 2014 (16.06.2014)
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. +82-42-472-7140		Authorized officer KANG, Sung Chul Telephone No. +82-42-481-8405 

INTERNATIONAL SEARCH REPORT

International application No. PCT/US2014/021259

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006-0154390 A1 (CHUONG ANH TRAN et al.) 13 July 2006 See abstract, paragraphs [0020]-[0030] and figures 1-9.	1-49

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/021259

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002-0036471 A1	28/03/2002	CN 1153184 C0	09/06/2004
		CN 1358298 A0	10/07/2002
		EP 1190410 A2	27/03/2002
		EP 1190410 B1	13/03/2013
		JP 2003-521094 A	08/07/2003
		JP 4834270 B2	14/12/2011
		KR 10-0743052 B1	26/07/2007
		TW 496100 A	21/07/2002
		TW 496100 B	21/07/2002
		US 6476563 B2	05/11/2002
		WO 01-56000 A2	02/08/2001
		WO 01-56000 A3	20/12/2001
US 8349116 B1	08/01/2013	TW 201331110 A	01/08/2013
		US 2013-0126081 A1	23/05/2013
		US 2013-0126589 A1	23/05/2013
		US 2013-0126891 A1	23/05/2013
		US 2013-0127020 A1	23/05/2013
		US 2013-0130416 A1	23/05/2013
		US 2013-0130440 A1	23/05/2013
		US 2013-0210194 A1	15/08/2013
		US 2013-126098 A1	23/05/2013
		US 8333860 B1	18/12/2012
		US 8426227 B1	23/04/2013
		US 8518204 B2	27/08/2013
		US 8573469 B2	05/11/2013
		US 8646505 B2	11/02/2014
		WO 2013-074355 A1	23/05/2013
		WO 2013-074356 A1	23/05/2013
		WO 2013-074357 A1	23/05/2013
		WO 2013-074370 A1	23/05/2013
		WO 2013-074372 A1	23/05/2013
		WO 2013-074373 A1	23/05/2013
		WO 2013-074374 A1	23/05/2013
		WO 2013-074375 A1	23/05/2013
		WO 2013-074376 A1	23/05/2013
		WO 2013-119671 A1	15/08/2013
WO 03-012884 A1	13/02/2003	KR 10-2004-0029385 A	06/04/2004
US 6514779 B1	04/02/2003	AT 289705 T	15/03/2005
		CA 2464405 A1	15/05/2003
		CN 1605124 A	06/04/2005
		CN 1605124 C0	08/08/2007
		DE 60203054 D1	31/03/2005
		DE 60203054 T2	13/04/2006
		DE 60203054 T3	01/08/2013
		EP 1444729 A2	11/08/2004
		EP 1444729 B1	23/02/2005

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/021259

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		EP 1444729 B2	06/03/2013
		ES 2235116 T3	01/07/2005
		ES 2235116 T5	27/05/2013
		JP 2005-509290 A	07/04/2005
		KR 10-2004-0052234 A	22/06/2004
		WO 03-041157 A2	15/05/2003
		WO 03-041157 A3	12/02/2004
JP 05-291624 A	05/11/1993	None	
US 2012-0223875 A1	06/09/2012	US 8642363 B2	04/02/2014
US 2006-0154390 A1	13/07/2006	CN 101103499 A	09/01/2008
		CN 101103499 B	27/10/2010
		CN 101103499 C0	09/01/2008
		EP 1836723 A2	26/09/2007
		EP 1836723 A4	15/05/2013
		JP 2008-527719 A	24/07/2008
		KR 10-1172824 B1	10/08/2012
		KR 10-2007-0115870 A	06/12/2007
		US 7378288 B2	27/05/2008
		WO 2006-076209 A2	20/07/2006
		WO 2006-076209 A3	22/02/2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(74)代理人 100109070
弁理士 須田 洋之

(74)代理人 100109335
弁理士 上杉 浩

(74)代理人 100120525
弁理士 近藤 直樹

(72)発明者 ビブル アンドレアス
アメリカ合衆国 カリフォルニア州 9 5 0 5 4 サンタ クララ ワイヤット ドライブ 1 7
0 5

(72)発明者 サカリヤ カピル ヴィ
アメリカ合衆国 カリフォルニア州 9 5 0 5 4 サンタ クララ ワイヤット ドライブ 1 7
0 5

(72)発明者 グリッグス チャールズ アール
アメリカ合衆国 カリフォルニア州 9 5 0 5 4 サンタ クララ ワイヤット ドライブ 1 7
0 5

(72)発明者 パーキンス ジェイムズ マイケル
アメリカ合衆国 カリフォルニア州 9 5 0 5 4 サンタ クララ ワイヤット ドライブ 1 7
0 5

F ターム(参考) 5C094 AA22 BA03 BA25 CA20 CA24 DB01 FB14 JA08
5F142 AA34 BA32 CA13 CB07 CB14 CB23 CD02 CD14 CD17 CD25
CD32 CD49 CE04 CE06 CE08 CE13 DB24 FA03 FA30 FA32
FA50 GA02

专利名称(译)	具有冗余方案的发光二极管显示器和制造具有集成缺陷检测检查的发光二极管显示器的方法		
公开(公告)号	JP2016512347A	公开(公告)日	2016-04-25
申请号	JP2016500743	申请日	2014-03-06
[标]申请(专利权)人(译)	カシ视图技术公司		
申请(专利权)人(译)	カシ视图技术公司		
[标]发明人	ビブルアンドレアス サカリヤカピルヴィ グリッグスチャールズアール パーキンスジェイムズマイケル		
发明人	ビブル アンドレアス サカリヤ カピル ヴィ グリッグス チャールズ アール パーキンス ジェイムズ マイケル		
IPC分类号	G09F9/33 G09F9/302 H01L33/62 H01L33/00		
CPC分类号	H01L25/0753 H01L24/95 H01L27/1214 H01L27/1259 H01L33/0095 H01L2924/0002 H01L2924/12041 H01L2924/12044		
FI分类号	G09F9/33 G09F9/302.C H01L33/00.440 H01L33/00.L		
F-TERM分类号	5C094/AA22 5C094/BA03 5C094/BA25 5C094/CA20 5C094/CA24 5C094/DB01 5C094/FB14 5C094/JA08 5F142/AA34 5F142/BA32 5F142/CA13 5F142/CB07 5F142/CB14 5F142/CB23 5F142/CD02 5F142/CD14 5F142/CD17 5F142/CD25 5F142/CD32 5F142/CD49 5F142/CE04 5F142/CE06 5F142/CE08 5F142/CE13 5F142/DB24 5F142/FA03 5F142/FA30 5F142/FA32 5F142/FA50 5F142/GA02		
代理人(译)	西岛隆义 田中真一郎 须田博之 上杉 浩 近藤直树		
优先权	13/842879 2013-03-15 US 13/842925 2013-03-15 US		
其他公开文献	JP6254674B2		
外部链接	Espacenet		

摘要(译)

描述了一种显示面板及其制造方法。在一实施例中，显示基板包括像素区域和非像素区域。子像素阵列和相应的底部电极阵列在像素区域内。微型LED器件的阵列结合到底部电极的阵列。形成一个或多个顶部电极层与微型LED器件的阵列电接触。在一个实施例中，冗余的一对微型LED器件被结合到底部电极的阵列。在一个实施例中，使微型LED器件的阵列成像以检测不规则性。

(21) 出願番号	特願2016-500743 (P2016-500743)	(71) 出願人	514123347
(86) (22) 出願日	平成26年3月6日 (2014. 3. 6)		ルクスビュー テクノロジー コーポレイ ション
(85) 翻訳文提出日	平成27年11月13日 (2015. 11. 13)		アメリカ合衆国 カリフォルニア州 95 054 サンタ クララ ワイヤット ド ライヴ 1705
(86) 国際出願番号	PCT/US2014/021259		
(87) 国際公開番号	W02014/149864		
(87) 国際公開日	平成26年9月25日 (2014. 9. 25)		
(31) 優先権主張番号	13/842, 879	(74) 代理人	100086771
(32) 優先日	平成25年3月15日 (2013. 3. 15)		弁理士 西島 孝喜
(33) 優先権主張国	米国 (US)	(74) 代理人	100088694
(31) 優先権主張番号	13/842, 925		弁理士 弟子丸 健
(32) 優先日	平成25年3月15日 (2013. 3. 15)	(74) 代理人	100094569
(33) 優先権主張国	米国 (US)		弁理士 田中 伸一郎
		(74) 代理人	100067013
			弁理士 大塚 文昭
最終頁に続く			